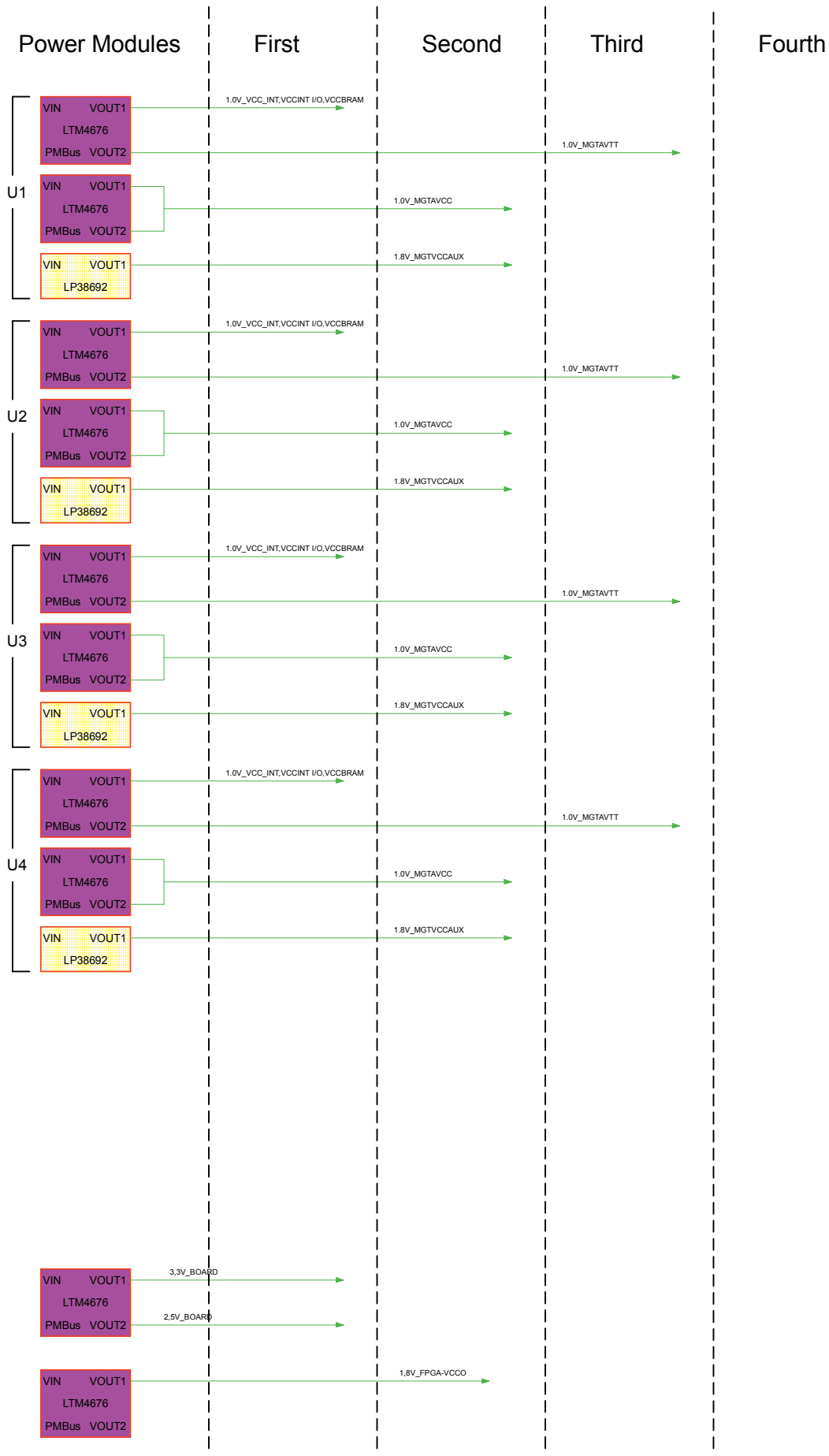


Ramping time for all power supplies: $0.2 \text{ ms} < T < 40 \text{ ms}$



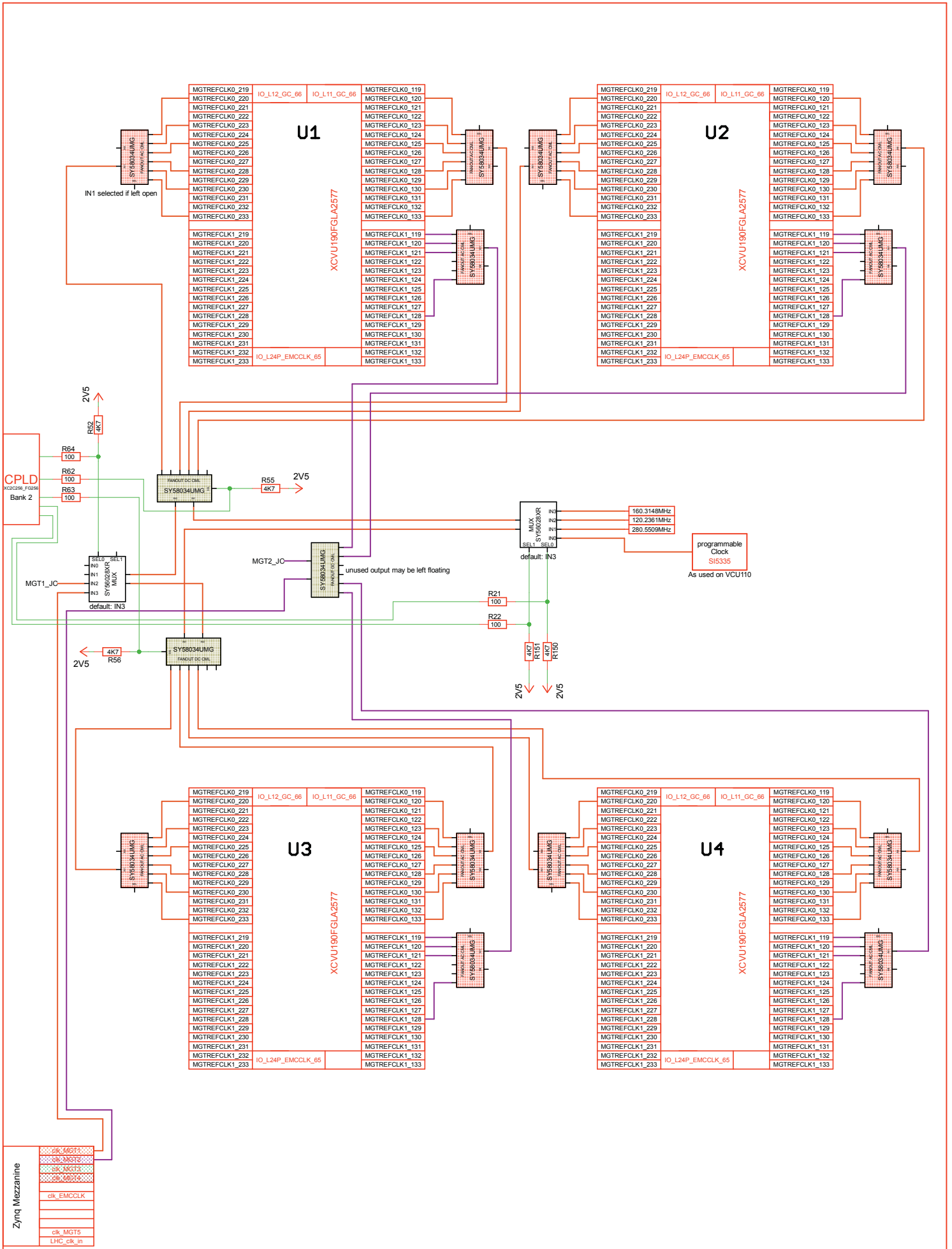
TITLE: StefanJFEX_Block_2015-10-26

Document Number:

REV:

Date: 29.10.2015 08:21:45

Sheet: 2/11



MGT1 + MGT2 CLOCK

TITLE: StefanJFEX_Block_2015-10-26

Document Number:

REV:

Date: 29.10.2015 08:21:45

Sheet: 3/11

MGTREFCLK0_219	IO_L12_GC_66	IO_L11_GC_66	MGTREFCLK0_119
MGTREFCLK0_220			MGTREFCLK0_120
MGTREFCLK0_221			MGTREFCLK0_121
MGTREFCLK0_222			MGTREFCLK0_122
MGTREFCLK0_223			MGTREFCLK0_123
MGTREFCLK0_224			MGTREFCLK0_124
MGTREFCLK0_225			MGTREFCLK0_125
MGTREFCLK0_226			MGTREFCLK0_126
MGTREFCLK0_227			MGTREFCLK0_127
MGTREFCLK0_228			MGTREFCLK0_128
MGTREFCLK0_229			MGTREFCLK0_129
MGTREFCLK0_230			MGTREFCLK0_130
MGTREFCLK0_231			MGTREFCLK0_131
MGTREFCLK0_232			MGTREFCLK0_132
MGTREFCLK0_233			MGTREFCLK0_133
MGTREFCLK1_219			MGTREFCLK1_119
MGTREFCLK1_220			MGTREFCLK1_120
MGTREFCLK1_221			MGTREFCLK1_121
MGTREFCLK1_222			MGTREFCLK1_122
MGTREFCLK1_223			MGTREFCLK1_123
MGTREFCLK1_224			MGTREFCLK1_124
MGTREFCLK1_225			MGTREFCLK1_125
MGTREFCLK1_226			MGTREFCLK1_126
MGTREFCLK1_227			MGTREFCLK1_127
MGTREFCLK1_228			MGTREFCLK1_128
MGTREFCLK1_229			MGTREFCLK1_129
MGTREFCLK1_230			MGTREFCLK1_130
MGTREFCLK1_231			MGTREFCLK1_131
MGTREFCLK1_232			MGTREFCLK1_132
MGTREFCLK1_233			MGTREFCLK1_133

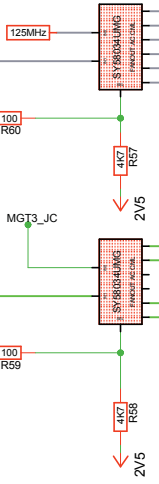
U1

XCVU190FGLA2577

MGTREFCLK0_219	IO_L12_GC_66	IO_L11_GC_66	MGTREFCLK0_119
MGTREFCLK0_220			MGTREFCLK0_120
MGTREFCLK0_221			MGTREFCLK0_121
MGTREFCLK0_222			MGTREFCLK0_122
MGTREFCLK0_223			MGTREFCLK0_123
MGTREFCLK0_224			MGTREFCLK0_124
MGTREFCLK0_225			MGTREFCLK0_125
MGTREFCLK0_226			MGTREFCLK0_126
MGTREFCLK0_227			MGTREFCLK0_127
MGTREFCLK0_228			MGTREFCLK0_128
MGTREFCLK0_229			MGTREFCLK0_129
MGTREFCLK0_230			MGTREFCLK0_130
MGTREFCLK0_231			MGTREFCLK0_131
MGTREFCLK0_232			MGTREFCLK0_132
MGTREFCLK0_233			MGTREFCLK0_133
MGTREFCLK1_219			MGTREFCLK1_119
MGTREFCLK1_220			MGTREFCLK1_120
MGTREFCLK1_221			MGTREFCLK1_121
MGTREFCLK1_222			MGTREFCLK1_122
MGTREFCLK1_223			MGTREFCLK1_123
MGTREFCLK1_224			MGTREFCLK1_124
MGTREFCLK1_225			MGTREFCLK1_125
MGTREFCLK1_226			MGTREFCLK1_126
MGTREFCLK1_227			MGTREFCLK1_127
MGTREFCLK1_228			MGTREFCLK1_128
MGTREFCLK1_229			MGTREFCLK1_129
MGTREFCLK1_230			MGTREFCLK1_130
MGTREFCLK1_231			MGTREFCLK1_131
MGTREFCLK1_232			MGTREFCLK1_132
MGTREFCLK1_233			MGTREFCLK1_133

U2

XCVU190FGLA2577



MGTREFCLK0_219	IO_L12_GC_66	IO_L11_GC_66	MGTREFCLK0_119
MGTREFCLK0_220			MGTREFCLK0_120
MGTREFCLK0_221			MGTREFCLK0_121
MGTREFCLK0_222			MGTREFCLK0_122
MGTREFCLK0_223			MGTREFCLK0_123
MGTREFCLK0_224			MGTREFCLK0_124
MGTREFCLK0_225			MGTREFCLK0_125
MGTREFCLK0_226			MGTREFCLK0_126
MGTREFCLK0_227			MGTREFCLK0_127
MGTREFCLK0_228			MGTREFCLK0_128
MGTREFCLK0_229			MGTREFCLK0_129
MGTREFCLK0_230			MGTREFCLK0_130
MGTREFCLK0_231			MGTREFCLK0_131
MGTREFCLK0_232			MGTREFCLK0_132
MGTREFCLK0_233			MGTREFCLK0_133
MGTREFCLK1_219			MGTREFCLK1_119
MGTREFCLK1_220			MGTREFCLK1_120
MGTREFCLK1_221			MGTREFCLK1_121
MGTREFCLK1_222			MGTREFCLK1_122
MGTREFCLK1_223			MGTREFCLK1_123
MGTREFCLK1_224			MGTREFCLK1_124
MGTREFCLK1_225			MGTREFCLK1_125
MGTREFCLK1_226			MGTREFCLK1_126
MGTREFCLK1_227			MGTREFCLK1_127
MGTREFCLK1_228			MGTREFCLK1_128
MGTREFCLK1_229			MGTREFCLK1_129
MGTREFCLK1_230			MGTREFCLK1_130
MGTREFCLK1_231			MGTREFCLK1_131
MGTREFCLK1_232			MGTREFCLK1_132
MGTREFCLK1_233			MGTREFCLK1_133

U3

XCVU190FGLA2577

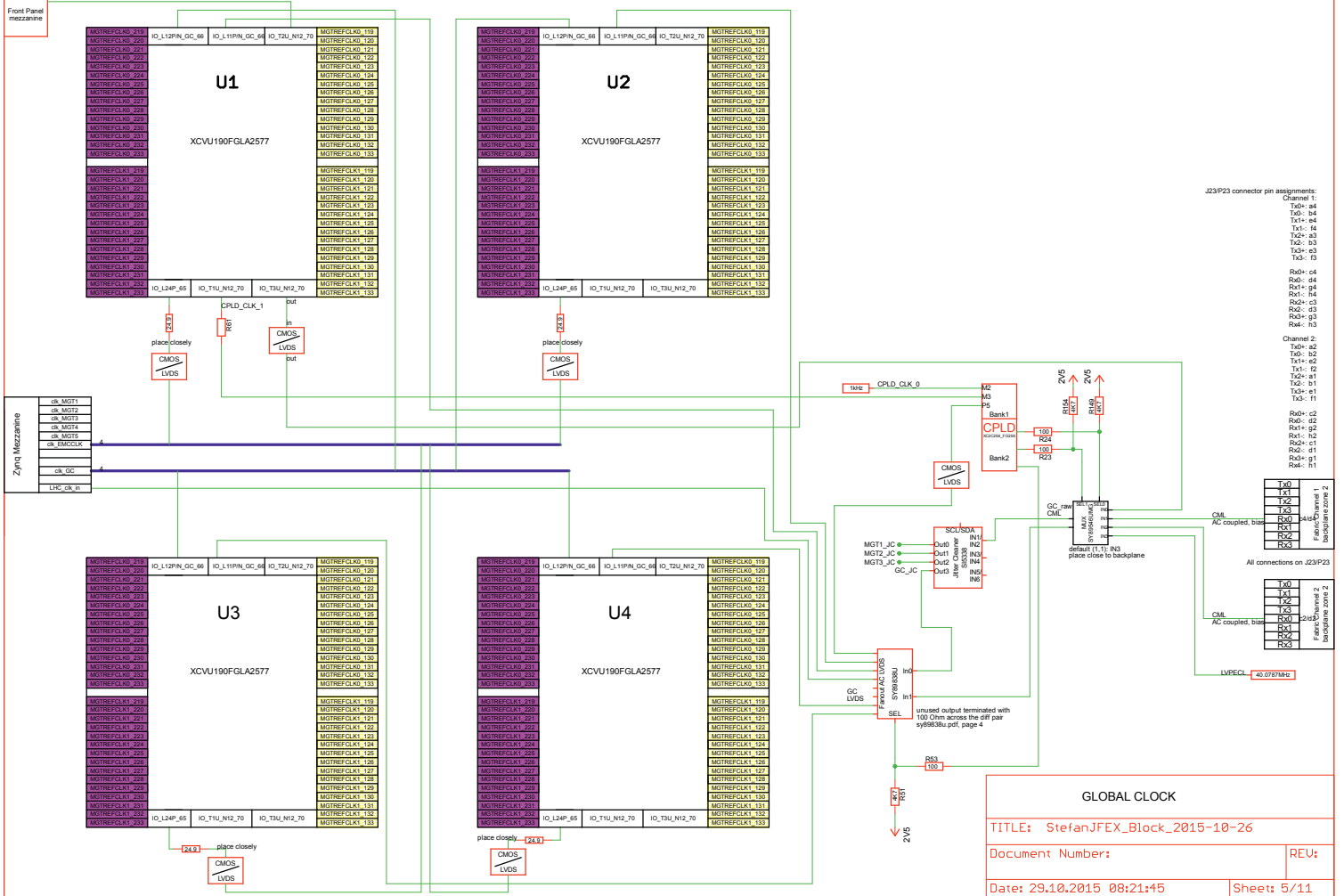
MGTREFCLK0_219	IO_L12_GC_66	IO_L11_GC_66	MGTREFCLK0_119
MGTREFCLK0_220			MGTREFCLK0_120
MGTREFCLK0_221			MGTREFCLK0_121
MGTREFCLK0_222			MGTREFCLK0_122
MGTREFCLK0_223			MGTREFCLK0_123
MGTREFCLK0_224			MGTREFCLK0_124
MGTREFCLK0_225			MGTREFCLK0_125
MGTREFCLK0_226			MGTREFCLK0_126
MGTREFCLK0_227			MGTREFCLK0_127
MGTREFCLK0_228			MGTREFCLK0_128
MGTREFCLK0_229			MGTREFCLK0_129
MGTREFCLK0_230			MGTREFCLK0_130
MGTREFCLK0_231			MGTREFCLK0_131
MGTREFCLK0_232			MGTREFCLK0_132
MGTREFCLK0_233			MGTREFCLK0_133
MGTREFCLK1_219			MGTREFCLK1_119
MGTREFCLK1_220			MGTREFCLK1_120
MGTREFCLK1_221			MGTREFCLK1_121
MGTREFCLK1_222			MGTREFCLK1_122
MGTREFCLK1_223			MGTREFCLK1_123
MGTREFCLK1_224			MGTREFCLK1_124
MGTREFCLK1_225			MGTREFCLK1_125
MGTREFCLK1_226			MGTREFCLK1_126
MGTREFCLK1_227			MGTREFCLK1_127
MGTREFCLK1_228			MGTREFCLK1_128
MGTREFCLK1_229			MGTREFCLK1_129
MGTREFCLK1_230			MGTREFCLK1_130
MGTREFCLK1_231			MGTREFCLK1_131
MGTREFCLK1_232			MGTREFCLK1_132
MGTREFCLK1_233			MGTREFCLK1_133

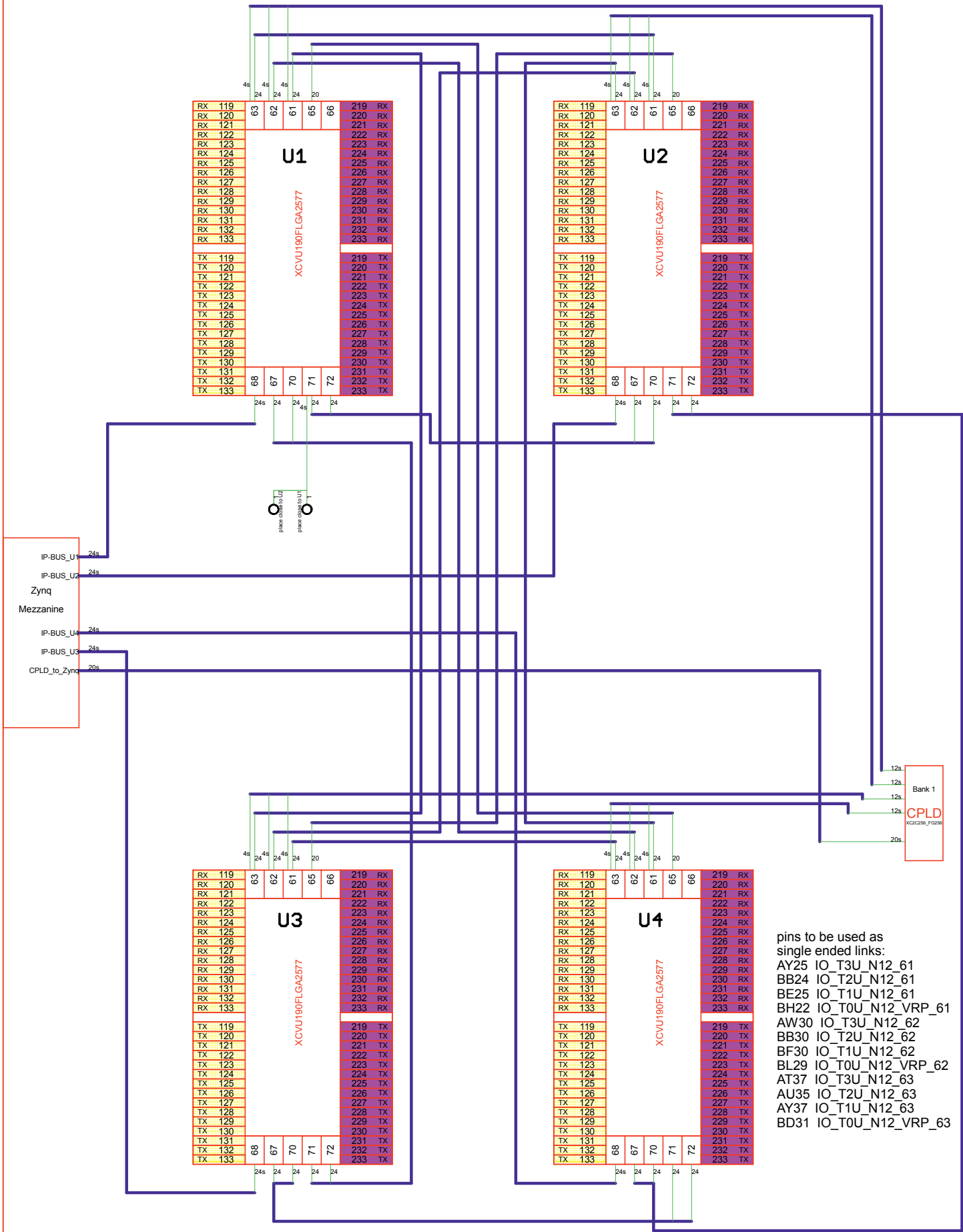
U4

XCVU190FGLA2577

Zynq Mezzanine
clk_MGT1
clk_MGT2
clk_MGT3
clk_MGT4
clk_EMCCLK
clk_GC
LHC_clk_in

MGT3 + MGT4 + IPBUS CLOCK	
TITLE: StefanJFEX_Block_2015-10-26	
Document Number:	REV:
Date: 29.10.2015 08:21:45	Sheet: 4/11





- pins to be used as single ended links:
- AY25 IO_T3U_N12_61
 - BB24 IO_T2U_N12_61
 - BE25 IO_T1U_N12_61
 - BH22 IO_T0U_N12_VRP_61
 - AW30 IO_T3U_N12_62
 - BB30 IO_T2U_N12_62
 - BF30 IO_T1U_N12_62
 - BL29 IO_T0U_N12_VRP_62
 - AT37 IO_T3U_N12_63
 - AU35 IO_T2U_N12_63
 - AY37 IO_T1U_N12_63
 - BD31 IO_T0U_N12_VRP_63

connect complete banks
 swapping of complete banks allowed
 swapping within banks allowed
 if possible swap identically for all FPGAs
 connection of banks within busses:
 bank 67 to 71
 bank 70 to 72

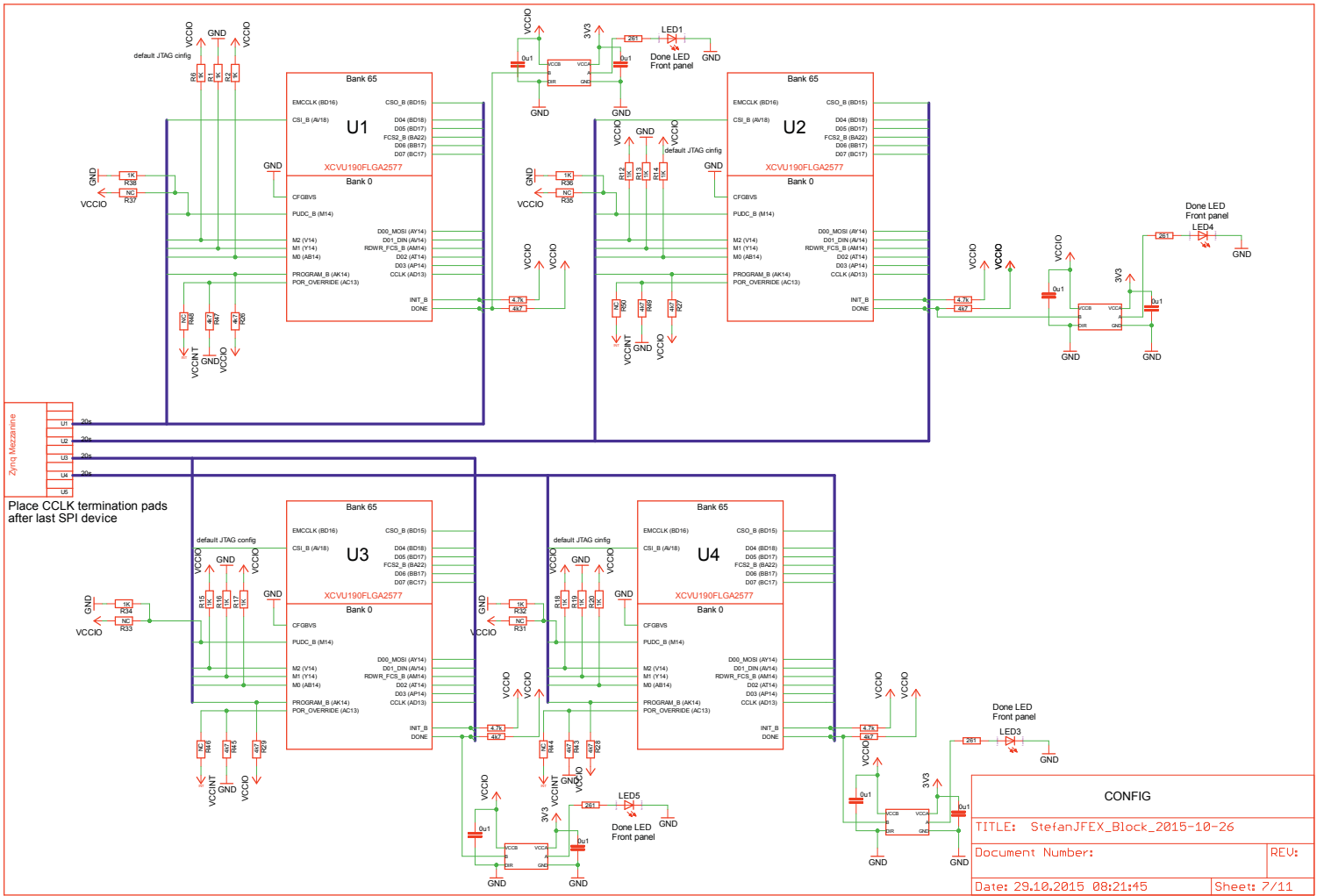
Bank 68 (XC7VU190) single-ended pins on :
 IO_L(1-12)P/N 24 single
 Bank 65 (XC7VU190) differential pairs on :
 IO_L1P/N, IO_L(3-20)P/N, IO_L23P/N 20 diff

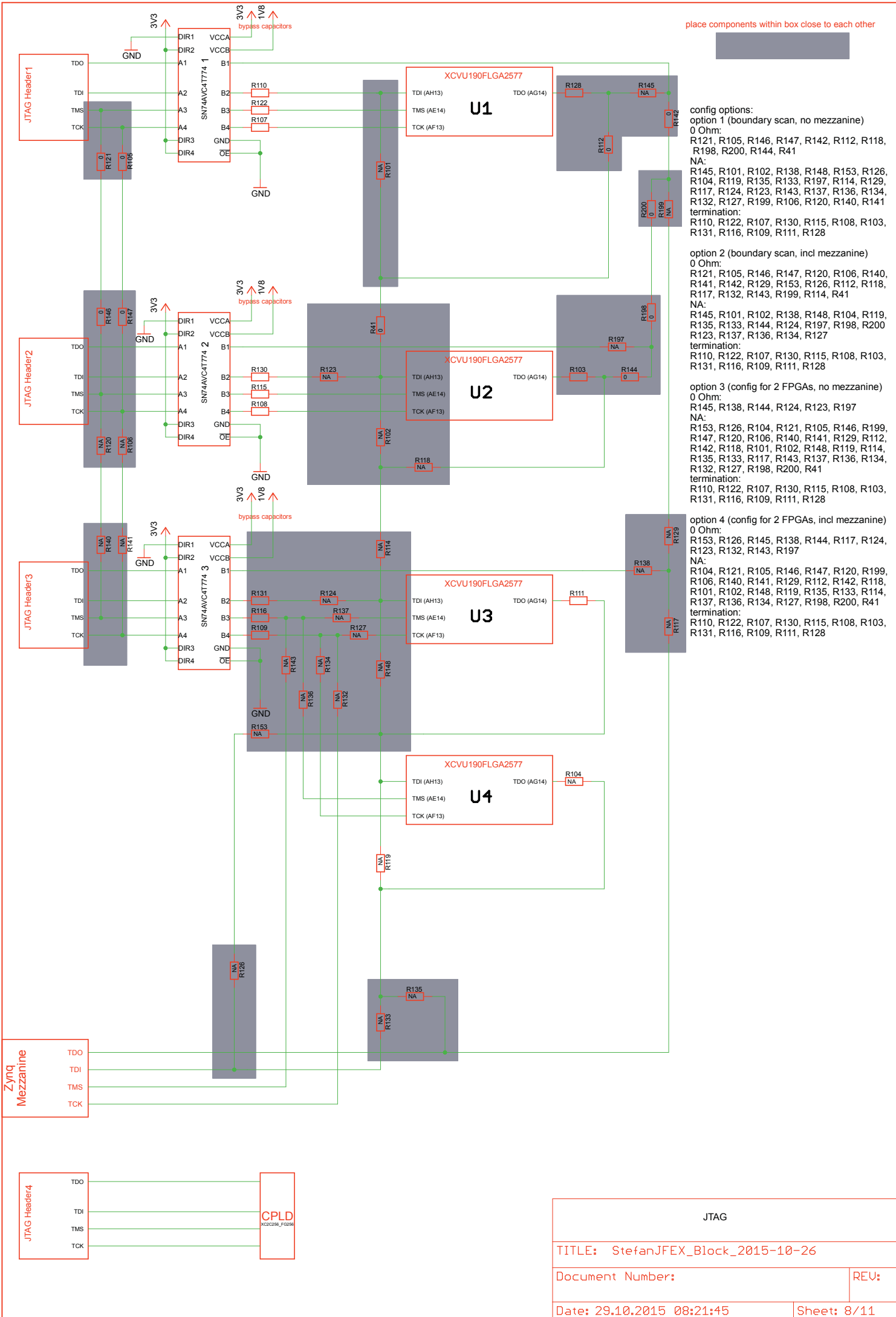
PARALLEL I/O

TITLE: StefanJFEX_Block_2015-10-26

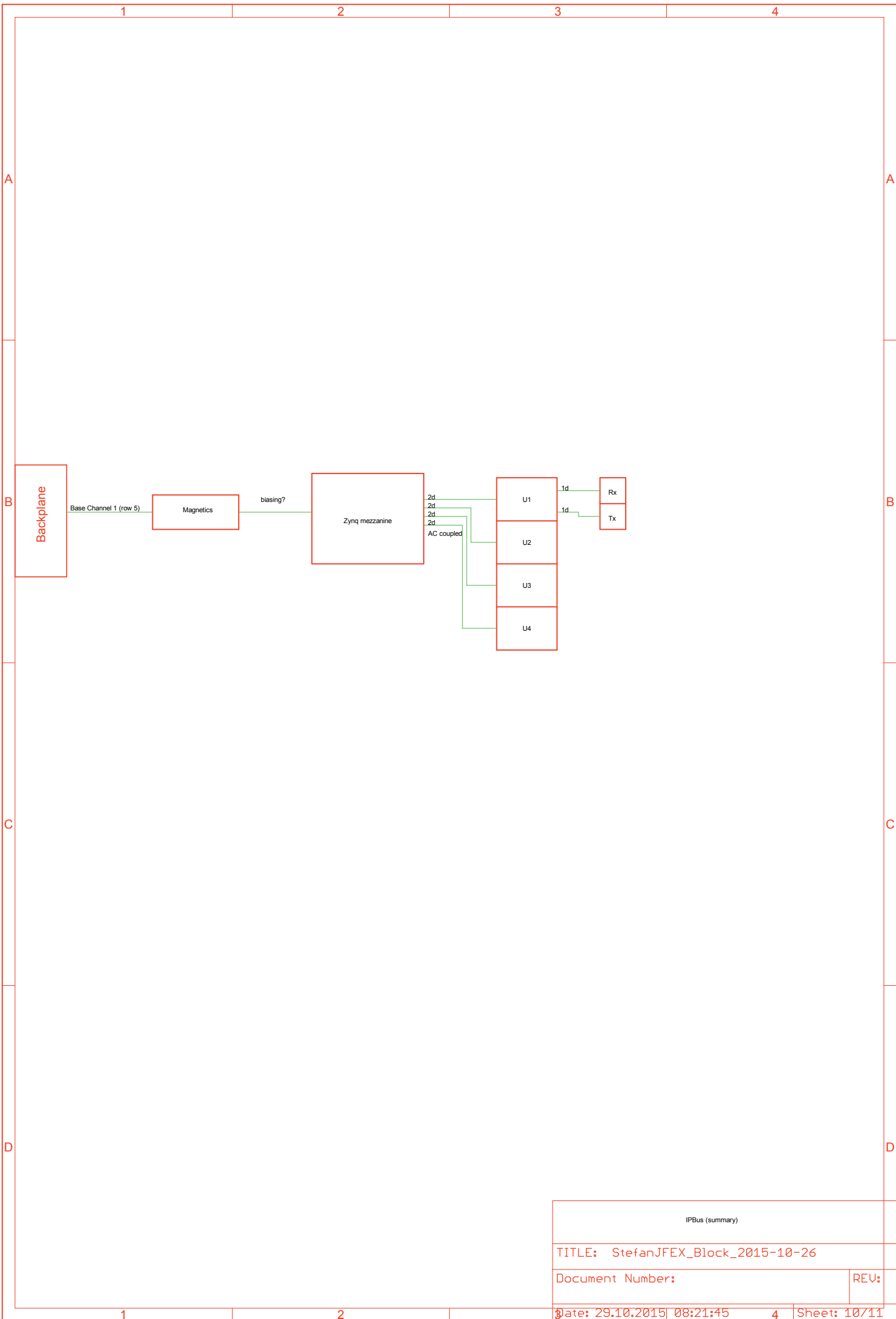
Document Number: _____ REV: _____

Date: 29.10.2015 08:21:45 Sheet: 6/11

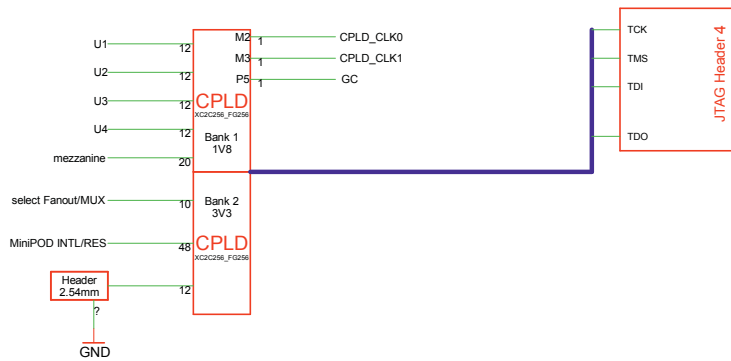




JTAG	
TITLE: StefanJFEX_Block_2015-10-26	
Document Number:	REV:
Date: 29.10.2015 08:21:45	Sheet: 8/11



IPBus (summary)	
TITLE: StefanJFEX_Block_2015-10-26	
Document Number:	REV:
Date: 29.10.2015 08:21:45	Sheet: 10/11



CPLD (summary)	
TITLE: StefanJFEX_Block_2015-10-26	
Document Number:	REV: