High-Speed differential Signals for avago minipod

Lagenaufbau HDI — 20 - Lagen — Rev.01

WE-Artikel Nr.: 2 + 16b + 2

KUNDE: Uni Mainz

CBT Schopfheim — WÜRTH ELEKTRONIK

LAGENBEZEICHNUNG KUNDE	WE	AUFBAU	BASIS-Material	CU	PREPREG ANZAHL/TYP	Dielectric constant [εr]	ENDDICKE [µm]	KUNDEN-FORDERUNG [µm]
1	TOP/VS	S1	Folie	12 µm	1)		12	
					1 x 2113	4.0	88	
2	GND	Plane	Folie	12 µm			30	
					1 x 2116	3.8	100	
3	SIG1	S2	Folie	9 µm			27	
					2 x 1080	3.7	140	
4	GND	Plane		17.5 µm			16	
			0,100 mm			3.8	100	
5	SIG2	S3		17.5 µm			16	
					1 x 2116	3.8	105	
6	GND	Plane		17.5 µm			16	
			0,100 mm			3.8	100	
7	SIG3	S3		17.5 µm			16	
					1 x 2116	3.8	105	
8	GND	Plane		17.5 µm			16	
			0,100 mm			3.8	100	
9	SIG4	S3		17.5 µm			16	
					1 x 2116	3.8	105	
10	GND	Plane		35 µm			33	
			0,060 mm				60	
11	PWR1	Plane		35 µm			33	
					1 x 2116		108	
12	PWR2	Plane		35 µm			33	
			0,060 mm				60	
13	GND	Plane		35 µm			33	
					1 x 2116	3.8	105	
14	SIG5	S3		17,5 µm			16	
			0,100 mm			3.8	100	
15	GND	Plane		17,5 µm			16	
					1 x 2116	3.8	105	
16	SIG6	S3		17.5 µm			16	
			0,100 mm			3.8	100	
17	GND	Plane		17.5 µm			16	
					2 x 1080	3.7	140	
18	SIG7	S2	Folie	9 µm			27	
					1 x 2116	3.8	100	
19	GND	Plane	Folie	12 µm			30	
					1 x 2113	4.0	88	
20	BOT/RS	S1	Folie	12 µm	1)		12	

Basismaterial: FR4, TG150, hf, Low CTE

1) Kupferenddicke Außenlagen ca. 50 µm

Buried Vias geplugged / filled

Impedanzberechnung:

S1 Zdiff 100 Ω @ 100 / 155 / 100 µm

S2 Zdiff 100 Ω @ 80 / 140 / 80 µm

S3 Zdiff 100 Ω @ 78 / 144 / 78 µm

Padgröße µVias min. 0.35 mm — 0.1mm

Padgröße Buried Vias min. 0.50 mm — 0.15mm

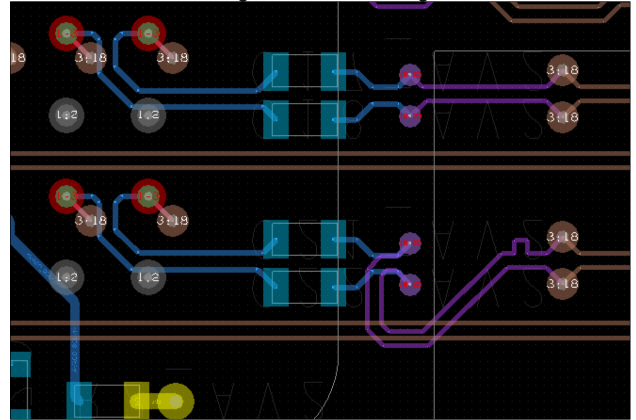
Padgröße Vias L1-20 min. 0.55 mm (besser 0.60 mm) — 0.2mm

Gesamtdicke Material: 2339

Anmerkung: Werte für Prepreg sind Mittelwerte (der genaue Wert ist von den Leiterbildstrukturen abhängig)

MATERIALDICKE:	**2,34**	+/-	**0,23**	mm	Datum:		Bearbeiter:
DICKE über galv. Endoberfläche	**2,42**	+/-	**0,25**	mm			
DICKE über LSM incl.galv.-Kupfer	**2,48**	+/-	**0,27**	mm	13.09.2012		S. Keller
Kundenforderung:		+/-		mm	Messstelle:		

avagopad on top, stacked microvia to sig1, burried via to sig7, stacked microvia to bottom, C 10nF 0402, stacked microvia to sig7, burried via to sig1 diff.trace



diff. trace to fpga sig1, stacked microvia to top, fpgapad on top