

Johannes Gutenberg-Universität Mainz  
Institut für Physik,  
Experimentelle Teilchen- und Astroteilchen-Physik

Diplomarbeit

# **Entwicklung eines Datenerfassungssystems für die Auslese des TimePix-Chips**

Michael Zamrowski

August 2009

Betreuer:  
Prof. Dr. Stefan Tapprogge



# Inhaltsverzeichnis

<b>Einleitung</b>	<b>ix</b>
<b>1 Physikalische Grundlagen</b>	<b>1</b>
1.1 Internationaler Linearbeschleuniger . . . . .	1
1.1.1 Beschleuniger des International Linear Collider (ILC) . . . . .	2
1.1.2 Anforderung an die Detektoren für den ILC . . . . .	5
1.2 Zeitprojektionskammern . . . . .	6
1.2.1 Wechselwirkung von Teilchen mit Materie . . . . .	7
1.2.2 Spurrekonstruktion durch Zeitprojektion . . . . .	8
1.2.3 Gasverstärkung mit GEM-Stapeln . . . . .	9
1.2.4 Anforderungen an die Zeitprojektionskammern für den ILC . . . . .	10
<b>2 TimePix-Chip</b>	<b>13</b>
2.1 Aufbau des TimePix-Chips . . . . .	13
2.2 Analoge Verarbeitung der Signale . . . . .	15
2.2.1 Vorverstärker . . . . .	16
2.2.2 Diskriminator . . . . .	16
2.3 Digitale Verarbeitung der Signale . . . . .	18
2.3.1 TimePix-Synchronisationslogikschaltung . . . . .	19
2.3.2 Funktion des Schieberegisters einer Matrixzelle . . . . .	21
2.4 Steuerung des TimePix-Chips über die Ein- und Ausgabereinheit . . . . .	21
2.4.1 Steuerung der Strom- und Spannungsquellen des TimePix-Chips . . . . .	23
2.4.2 Lese- und Schreiboperationen der Matrix . . . . .	23
2.4.3 Einkopplung von Testpulsen in den TimePix-Chip . . . . .	24
<b>3 Technische Grundlagen</b>	<b>25</b>
3.1 Konfigurierbare Logik . . . . .	25
3.1.1 Programmierbarer integrierter Schaltkreis (FPGA) . . . . .	25
3.1.2 Beschreibungssprachen der Schaltkreisstrukturen im FPGA . . . . .	27
3.1.3 Entwicklungswerkzeuge . . . . .	27
3.2 Datenübertragung über Netzwerke . . . . .	27
3.2.1 Netzwerkschichtenmodell . . . . .	28
3.2.2 Gigabit-Ethernet . . . . .	28
3.2.3 Netzwerkprotokolle . . . . .	29

<b>4</b>	<b>Entwicklung eines verbesserten Datenerfassungssystems für den TimePix-Chip</b>	<b>33</b>
4.1	Anforderungen an das Auslesesystem . . . . .	33
4.1.1	Anforderungen aufgrund der TimePix-Chip-Spezifikationen . . . . .	33
4.1.2	Anforderungen an die Benutzerfreundlichkeit des endgültigen Systems . . . . .	34
4.2	Bestehendes Auslesesystem . . . . .	34
4.2.1	Überblick über das MUROS2 System . . . . .	34
4.2.2	Beschränkungen des MUROS2 . . . . .	35
4.3	Aufbau des Auslesesystems . . . . .	36
4.3.1	Funktion des Steckadapters zwischen TimePix-Chip und FPGA . . . . .	37
4.3.2	Entwicklungsplatine . . . . .	39
4.3.3	VHDL-Programm zur Konfiguration des FPGAs . . . . .	40
4.3.4	Steuerungs- und Ausleseprogramm . . . . .	42
4.4	Funktionsweise des VHDL-Programms bei der Datenerfassung . . . . .	43
4.5	Gleichzeitige Auslese mehrerer TimePix-Chips . . . . .	47
<b>5</b>	<b>Überprüfung der Systemfunktion</b>	<b>49</b>
5.1	Simulation des VHDL-Programms . . . . .	49
5.2	Messung einzelner Funktionskomponenten zur Überprüfung der Simulationsergebnisse	52
5.2.1	Untersuchung der Kommunikation zwischen Entwicklungsplatine und Rechner	52
5.2.2	Messung der Steuersignale an den TimePix-Chip . . . . .	53
5.2.3	Messung der Datensignale vom und zum TimePix-Chip . . . . .	54
5.3	Korrektur der Bitanordnung im FSR . . . . .	56
5.4	Messungen am Gesamtsystem . . . . .	57
5.4.1	Überprüfung der Funktionen durch Messungen mit Rauschen . . . . .	58
5.4.2	Messungen mit dem Testpulsgenerator . . . . .	64
5.4.3	Messungen mit niederfrequenter elektromagnetischer Strahlung . . . . .	66
<b>6</b>	<b>Inbetriebnahme des Auslesesystems an der Zeitprojektionskammer</b>	<b>69</b>
6.1	Aufbau des Experiments zur Erfassung der kosmischen Strahlung . . . . .	69
6.1.1	Aufbau des Zeitprojektionskammerprototypen . . . . .	69
6.1.2	Erzeugung des Auslösersignals . . . . .	70
6.2	Durchführung der Experimente an der Zeitprojektionskammer . . . . .	71
6.2.1	Vorbereitende Versuche zur Systemüberprüfung . . . . .	72
6.2.2	Aufnahme von Spuren kosmischer Teilchen . . . . .	72
6.2.3	Ermittlung der Ausleserate . . . . .	83
6.3	Ergebnisse der Messungen . . . . .	84
<b>7</b>	<b>Zusammenfassung und Ausblick</b>	<b>87</b>
	<b>Anhang</b>	<b>89</b>
	<b>Literaturverzeichnis</b>	<b>93</b>

# Abbildungsverzeichnis

1.1	Schematischer Aufbau des International Linear Colliders . . . . .	3
1.2	Struktureller Aufbau der Teilchenpakete im ILC . . . . .	5
1.3	Funktionsweise einer Zeitprojektionskammer . . . . .	8
1.4	Elektronenmikroskopaufnahme eines GEMs . . . . .	9
2.1	Foto des TimePix-ASIC mit der für die Auslese konzipierten Trägerplatine . . . . .	14
2.2	Schematischer Aufbau des TimePix-Chips . . . . .	14
2.3	Schematische Darstellung der Arbeitsweise der Matrixzellen . . . . .	15
2.4	Schema der analogen Sektion einer Matrixzelle . . . . .	16
2.5	Schematische Darstellung der Signalverarbeitung im Diskriminator . . . . .	17
2.6	Blockschaltbild des Diskriminators . . . . .	18
2.7	Schema der digitalen Sektion einer Matrixzelle . . . . .	19
2.8	Funktionsprinzip der Signalverarbeitung des Diskriminatorsignals . . . . .	20
2.9	Schematische Darstellung der Peripherie des TimePix-Chips . . . . .	22
3.1	Ethernet-Datenblockformat . . . . .	29
3.2	Aufbau des Kopfdatenbereichs eines IP-Paketes . . . . .	30
3.3	Aufbau des Kopfdatenbereichs eines UDP-Paketes . . . . .	31
4.1	Blockdiagramm des Auslesesystems . . . . .	36
4.2	Foto des Aufbaus des Auslesesystems . . . . .	37
4.3	Foto des Steckadapters . . . . .	38
4.4	Foto der Xilinx Entwicklungsplatine mit FPGA . . . . .	39
4.5	Schematischer Aufbau des Datenstroms bei der Ethernet-Kommunikation . . . . .	40
4.6	Schematische Darstellung der einzelnen Komponenten des VHDL-Programms . . . . .	41
4.7	Flussdiagramm zur Verdeutlichung der Abläufe bei einer Datenerfassung . . . . .	44
5.1	Simulation der Enternet Kommunikation . . . . .	50
5.2	Simulation der Steuersignale an den TimePix . . . . .	51
5.3	Simulation der Serialisierung/Deserialisierung von Daten an/vom TimePix-Chip . . . . .	52
5.4	Oszilloskopbild der Steuersignale beim Setzen des TimePix-Chips in den Zählmodus . . . . .	53
5.5	Oszilloskopbild der Datensignale zum TimePix-Chip . . . . .	54
5.6	Verzögerungsmessung der empfangenden TimePix-Daten mit Hilfe des Oszilloskops . . . . .	55
5.7	Aufnahme des Rauschens im Eintreffer-Modus . . . . .	59
5.8	Aufnahme des Rauschens im Ankunftszeit-Modus bei einer Schwelle von $THL = 350$ . . . . .	60
5.9	Zählstände bei Rauschen im Ankunftszeit-, Ereigniszähl- und TOT-Modus . . . . .	61
5.10	Matrix bei Aufnahme des Rauschens im Ankunftszeit-, Ereigniszähl- und TOT-Modus . . . . .	62

5.11	Mehrfachbelichtete Aufnahmen des Rauschens im Ereigniszähl-Modus . . . . .	63
5.12	Aufnahmen des Rauschens im Ankunftszeit-Modus für $t_2 = 3,75 \mu\text{s}$ . . . . .	64
5.13	Bild der Matrix nach Einkoppeln von Testpulsen im Ereigniszähl-Modus . . . . .	65
5.14	Schreiben des japanischen Silbenzeichens ゑ auf den TimePix-Chip . . . . .	66
6.1	Foto des an den Feldkäfig angeschlossenen Auslesesystems . . . . .	71
6.2	Aufnahme des Rauschens in der TPC . . . . .	73
6.3	Aufnahme einer Spur bei einer Schwelle von 348 und $s_{\text{Drift}} \approx 12,45 \text{ cm}$ . . . . .	74
6.4	Aufnahme einer Spur bei einer Schwelle von 348 und $s_{\text{Drift}} \approx 2,79 \text{ cm}$ . . . . .	75
6.5	Aufnahme einer Spur bei einer Schwelle von 348 und $s_{\text{Drift}} \approx 2,14 \text{ cm}$ . . . . .	76
6.6	Aufnahme einer Spur bei einer Schwelle von 348 und $s_{\text{Drift}} \approx 4,40 \text{ cm}$ . . . . .	77
6.7	Aufnahme einer Spur bei einer Schwelle von 348 und $s_{\text{Drift}} \approx 8,91 \text{ cm}$ . . . . .	78
6.8	Aufnahme einer Spur bei einer Schwelle von 330 und $s_{\text{Drift}} \approx 9,23 \text{ cm}$ . . . . .	79
6.9	Aufnahme einer Spur bei einer Schwelle von 330 und $s_{\text{Drift}} \approx 11,38 \text{ cm}$ . . . . .	80
6.10	Aufnahme einer Spur bei einer Schwelle von 348 und $s_{\text{Drift}} \approx 0,21 \text{ cm}$ . . . . .	81
6.11	Aufnahme einer Spur bei einer Schwelle von 348 und $s_{\text{Drift}} \approx 13,52 \text{ cm}$ . . . . .	82
6.12	Auswertung des Messdaten . . . . .	85

# Tabellenverzeichnis

1.1	Die nominalen Parameter des Beschleunigers für den International Linear Collider . .	4
1.2	Anforderungen an eine Zeitprojektionskammer für den ILC . . . . .	10
2.1	Die vier Betriebsmodi einer Matrixzelle . . . . .	21
2.2	Die Betriebszustände des TimePix-Chips . . . . .	22
5.1	Inhalt des FSR nach der Auswertung der Messung . . . . .	57
5.2	Konfiguration der Strom- und Spannungswerte des TimePix-Chips . . . . .	58
6.1	Vergleich der gemessenen maximalen Ausleseraten . . . . .	84





# Einleitung

Das Ziel der Teilchenphysik ist die Erforschung der kleinsten Teilchen des Universums. Nach der Entdeckung des Atoms und des Atomkerns und der Entwicklung von Theorien, welche die Teilchen gut erklären können, liegt der Schwerpunkt der wissenschaftlichen Arbeiten auf den Elementarteilchen.

Gegenwärtig liefert das Standardmodell der Teilchenphysik das Verständnis für die Elementarteilchen und ihrer Wechselwirkungen und ermöglicht eine Beschreibung und richtige Vorhersage vieler physikalischer Prozesse in der Hochenergiephysik. Trotz der Erfolge des Standardmodells bleiben einige Fragen offen und können von der Theorie nicht vollständig erklärt werden. So ist die vierte bekannte fundamentale Kraft, die Gravitation, nicht im Standardmodell beschrieben. Ebenso ist der Mechanismus, der zur spontanen Symmetriebrechung in der elektroschwachen Wechselwirkung führt und den  $W^\pm$ - und  $Z^0$ -Bosonen ihre Masse verleiht, nicht ausreichend verstanden. Der Higgs-Mechanismus aus der theoretischen Physik führt daher ein skalares Feld und ein mit dem Feld assoziiertes Teilchen ein, das Higgs-Teilchen, um damit die Symmetriebrechung und den Massenmechanismus zu verstehen. Allerdings konnte bisher in keinem Experiment dieses Teilchen nachgewiesen werden. Aber auch ein um das Higgs-Boson erweitertes Standardmodell lässt viele Probleme unbeantwortet. Dazu gehören die Fragen wieso das Universum zum Großteil aus dunkler Materie besteht und die Materie-Antimaterie-Asymmetrie. Der Nachweis der Existenz der Neutrino-Oszillation führt zu der Tatsache, dass Neutrinos eine von Null verschiedene Ruhemasse besitzen müssten, was allerdings weitreichende Konsequenzen für das Standardmodell hätte. Eine weitere Möglichkeit zum Verständnis der Teilchenphysik in der theoretischen Physik liefern supersymmetrische Modelle. Diese Supersymmetrische Theorie beantwortet einige Probleme des Standardmodells. Allerdings gibt es keinen Beweis für diese Modelle, insbesondere wurde kein von diesen Theorien vorhergesagtes Teilchen beobachtet.

In den Bemühungen ein umfassendes Verständnis der Elementarteilchen zu entwickeln, werden in der Experimentalphysik Teilchenbeschleuniger entwickelt, welche Energien in einem bisher ungekanntem Ausmaß erreichen. Mit dem *Large Hadron Collider* wird ein Teilchenbeschleuniger in Betrieb genommen, an dem Teilchenkollisionen mit einer Schwerpunktsenergie von bis zu 14 TeV stattfinden sollen. Der nächste große zukünftige Teilchenbeschleuniger soll ein Elektronen-Positronen-Linearbeschleuniger, der *International Linear Collider*, werden. Aufgrund der in ihm stattfindenden Reaktionen von Leptonen stellt der *International Linear Collider* eine Präzisionsmaschine dar, mit der Entdeckungen des *Large Hadron Colliders* sehr genau vermessen werden können.

Verbunden mit der Entwicklung solcher Teilchenbeschleuniger ist die Entwicklung von Detektoren, welche die Zerfallsprodukte bei der Kollision zweier Teilchen erfassen und vermessen sollen. An solche Detektoren werden hohe Anforderungen gestellt, damit diese das Potenzial des *International Linear Colliders* voll ausschöpfen können. Es wird daher im Bereich der Detektorentwicklung an mehreren Alternativen geforscht, um dem hohen Anspruch, welcher an den *International Linear Collider* und seine Detektoren gestellt wird, gerecht zu werden.

Eine Möglichkeit der Spurmessung in einem Detektor für den *International Linear Collider* bieten Zeitprojektionskammern. Außerdem stellen die Zeitprojektionskammern einen vielversprechen-

den Ansatz zur Realisierung der Impulsmessung mit der angestrebten Auflösung. In dem Gas einer Zeitprojektionskammer hinterlassen geladene Teilchen eine Spur von Elektronen-Ionen-Paaren. Mit Hilfe von Gasverstärkungsstrukturen werden die Elektronen in der Kammer verstärkt und an eine ladungsempfindliche Ausselelektronik weitergeleitet. Eine Möglichkeit der Auslese besteht mit dem hochauflösenden TimePix-Chip.

Nachdem im ersten Kapitel dieser Arbeit mit der Beschreibung des *International Linear Colliders* und der Zeitprojektionskammer einige physikalische Grundlagen dargestellt werden, wird im zweiten Kapitel der Aufbau und die Funktionsweise des TimePix-Chips erklärt. Der Betrieb des TimePix-Chips und die Auslese seiner Daten ist der Gegenstand der weiteren Kapitel. Dafür werden im dritten Kapitel die technischen Grundlagen geschaffen.

Das vierte Kapitel dieser Arbeit beschreibt die Entstehung und den Aufbau des Datenerfassungssystems. Es beschreibt die einzelnen Komponenten des Auslesesystems und erläutert deren Funktion. Im fünften Kapitel wird das System auf seine Funktionsfähigkeit überprüft, bevor der Einsatz an der Zeitprojektionskammer erfolgt, welcher im sechsten Kapitel beschrieben wird. Dieses sechste Kapitel zeigt auch die ersten Ergebnisse der Spurmessungen, welche erstmals mit einem solchen Datenerfassungssystem durchgeführt wurden.

Der Schwerpunkt dieser Diplomarbeit lag in der Entwicklung und Untersuchung eines neuartigen Datenerfassungssystems für den TimePix-Chip. Es werden die ersten Schritte bei der Realisierung eines solchen Projektes vorgestellt und der erfolgreiche Einsatz des Datenerfassungssystems zur Auslese und Steuerung des TimePix-Chips demonstriert.

# 1 Physikalische Grundlagen

Für die Forschung in der experimentellen Teilchenphysik sind Teilchenbeschleuniger unerlässliche Instrumente. Aus der De-Broglie-Gleichung  $\lambda = \frac{h}{p}$  lässt sich erkennen, dass zur Auflösung immer kleinerer Strukturen höhere Impulse notwendig sind. Ebenso zeigt die Energie-Masse-Beziehung  $E = m \cdot c^2$ , dass zur Erzeugung immer schwererer Teilchen immer größere Energien benötigt werden. Erst die Entwicklung immer leistungsfähigerer Teilchenbeschleuniger erlaubt die Untersuchung der elementaren Bestandteile der Materie und der Wechselwirkungskräfte zwischen den Teilchen. Somit konnte in der Teilchenphysik das Standardmodell entwickelt werden, um die Materiebausteine und ihre Wechselwirkungen zu beschreiben. Das Standardmodell hat viele präzise Vorhersagen gemacht, wie zum Beispiel die des Top-Quarks, dessen Entdeckung im Jahre 1995 (Abe u. a., 1995) als Bestätigung diente. Obwohl das Standardmodell der Teilchenphysik das derzeitige Verständnis aller elementaren Teilchen und ihrer fundamentalen Wechselwirkungen beschreibt, lässt es einige Frage offen, welche schon in der Einleitung aufgelistet wurden. Durch den Bau von Teilchenbeschleunigern, welche höhere Energien liefern können, verspricht man sich Antworten auf diese Fragen.

Dieses Kapitel soll einen Überblick über die Hochenergiephysik mit dem geplanten internationalen Elektron-Positron-Linearbeschleuniger (ILC)<sup>1</sup> geben. Neben einer Beschreibung des ILC werden die Detektorkonzepte für den ILC kurz vorgestellt. Als Teil der Spurdetektion wird in diesem Kapitel auch die Physik mit Zeitprojektionskammern vorgestellt.

## 1.1 Internationaler Linearbeschleuniger

Teilchenbeschleuniger bilden die Hauptwerkzeuge zur Untersuchung der Teilchenphysik. Dieser Abschnitt fasst daher kurz die Physik mit Ringbeschleunigern und Linearbeschleunigern zusammen und versucht die Motive für den Bau eines internationalen Elektronen-Positronen-Linear-Beschleunigers zu benennen.

Bisherige Experimente wurden überwiegend an Ringbeschleunigern durchgeführt. In Speicherringen werden Teilchenpakete in mehreren Umläufen beschleunigt und dann mehrfach an den Wechselwirkungspunkten zur Kollision gebracht. Sie haben somit den Vorteil zum Erreichen der endgültigen Energie die Beschleunigerstrecke mehrfach zu durchlaufen und verschiedene Experimente an den diversen Wechselwirkungspunkten im Ring durchzuführen. Nachteilig ist jedoch, dass jedes Teilchen mit der Masse  $m$  während eines Umlaufs Energie in Form von Synchrotronstrahlung verliert. Für den Energieverlust  $\Delta E$  pro Umlauf gilt:

$$\Delta E \sim \left(\frac{E}{m}\right)^4 \cdot \frac{1}{R} \quad . \quad (1.1)$$

Die maximale Schwerpunktsenergie bei Ringbeschleunigern wird somit durch das Beschleunigungsvermögen pro Umlauf und den Radius  $R$  des Ringes begrenzt. Der größte Elektronen-Positronen-Be-

---

<sup>1</sup>International Linear Collider.

schleuniger LEP<sup>2</sup> am *Conseil Européen pour la Recherche Nucléaire* (CERN) erreichte eine maximale Schwerpunktsenergie von 209 GeV. Die Hadron-Elektron-Ring-Anlage (HERA) am Deutschen Elektronen-Synchrotron (DESY) in Hamburg beschleunigte Elektronen auf eine Energie von 27,5 GeV und erreichte eine Schwerpunktsenergie von 318 GeV bei dem Zusammenstoß von Elektronen mit Protonen.

Die Vorgehensweise, die Schwerpunktsenergien zu erhöhen, besteht in der Verwendung von Teilchen mit einer großen Masse, da der Energieverlust durch Synchrotronstrahlung mit der vierfachen Potenz der Masse abnimmt. Im großem Hadronen-Speicherring LHC<sup>3</sup> am CERN werden Protonen mit einer Schwerpunktsenergie von bis zu  $\sqrt{s} = 14$  TeV miteinander kollidieren (LHC The guide, 2008). Durch die massereichen Teilchen sind hier die Synchrotronstrahlungsverluste verglichen mit denen bei Speicherringen mit Elektronen wegen  $(m_e/m_p)^4 \approx 10^{-13}$  unbedeutend. Protonen besitzen jedoch eine Substruktur aus Quarks und Gluonen, von denen jedes einen gewissen Teil des Gesamtimpulses trägt. Daher treten nicht die Protonen als Ganzes in Wechselwirkung, sondern die Teile ihrer Substruktur. Dies erschwert die Bestimmung der Schwerpunktsenergie und der Impulse der beteiligten Teilchen. Die für die physikalisch interessanten Prozesse zugrunde liegende Schwerpunktsenergie ist damit viel kleiner als 14 TeV. Zudem ergibt sich aus der Vielzahl der bei jeder Kollision beteiligten Teilchen ein großer Untergrund, aus dem die zu untersuchenden physikalisch interessanten Ereignisse separiert werden müssen.

Leptonische Beschleuniger haben diese Probleme nicht. Die Anfangszustände der Reaktionen sind bekannt und der Untergrund ist im Vergleich zu dem hadronischer Beschleuniger vernachlässigbar. Beim Einsatz von Speicherringen mit elementaren Myonen ließen sich somit höhere Schwerpunktsenergien ohne die bekannten Probleme von Hadronenbeschleunigern erreichen. Nachteilig erweist sich hier allerdings die endliche Lebensdauer der Myonen.

Eine weitere Alternative, um die Verluste durch Synchrotronstrahlung zu verringern, ist die Vergrößerung des Radius  $R$ . Linearbeschleuniger besitzen einen unendlich großen Radius, wodurch die Energieverluste durch Synchrotronstrahlung kaum vorhanden sind. Beim Einsatz von Elektron-Positron-Linearbeschleunigern hat man zudem elementare stabile Teilchen mit genau bekannter Schwerpunktsenergie. Auch die Möglichkeit der Polarisation der Teilchen im Anfangszustand besteht (Janssen, 2004; Linzmaier, 2008; Krautscheid, 2008).

### 1.1.1 Beschleuniger des International Linear Collider (ILC)

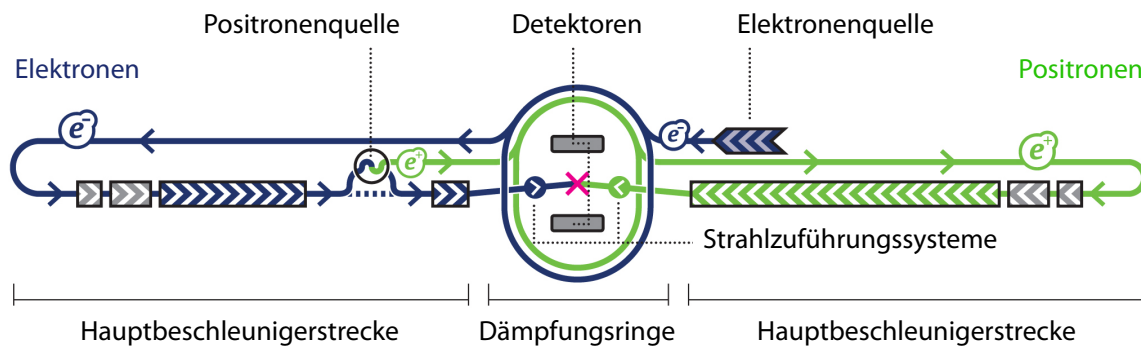
Der *International Linear Collider* (ILC) ist ein geplanter Elektron-Positron-Linearbeschleuniger, der sich in der Forschungs- und Entwicklungsphase befindet. Daher existiert noch kein endgültiger Aufbau und auch kein fester Standort.

Die Elektronen und Positronen sollen am ILC auf einer langen, geraden Bahn mit einer Gesamtlänge von rund 31 km beschleunigt und unter einem minimalen Kreuzungswinkel von 14 mrad in einem Wechselwirkungspunkt aufeinandertreffen. Es ist nur ein Wechselwirkungspunkt vorgesehen, der mit zwei Detektoren ausgestattet ist, die abwechselnd in den Strahl gerückt werden können. Durch diese zwei Experimente wird, verglichen mit Ringbeschleunigern, die integrierte Luminosität nicht verdoppelt.

---

<sup>2</sup>engl. Large Electron-Positron Collider.

<sup>3</sup>engl. Large Hadron Collider.



**Abbildung 1.1:** Schematischer Aufbau des International Linear Colliders. Dargestellt sind die Standorte für die Elektronenquelle und des Undulators zur Erzeugung der Positronen. Zusammen mit den Dämpfungsringen, welche einen Umfang von 6,7 km besitzen sollen, und den beiden Hauptbeschleunigungsstrecken für die Elektronen bzw. Positronen erreicht der ILC eine Gesamtlänge von rund 31 km (Linearcollider, 2009).

Die Schwerpunktsenergie ist durch die Länge der beiden Beschleunigungsstrecken begrenzt und soll vorerst 90 GeV bis 500 GeV betragen. In einer zweiten Ausbauphase des Beschleunigers soll die Schwerpunktsenergie auf 1 TeV erhöht werden. Bei diesem Ausbau müssten die beiden Hauptbeschleunigungsstrecken von rund 11 km auf rund 20 km verlängert werden. Im Vergleich zu einem Speicherring müssen die Teilchen in einem Linearbeschleuniger bei einem Durchlauf der Beschleunigungsstrecke auf die volle Energie gebracht werden.

Der ILC bildet aufgrund seiner Ausrichtung eine ideale Ergänzung zum LHC. Die entgegengesetzte Ausrichtung von LHC und ILC ermöglicht die gegenseitige Ergänzung der beiden Projekte. Werden am LHC neue Teilchen entdeckt, können diese am ILC genauer untersucht werden. Wenn zum Beispiel ein leichtes Higgs-Boson existiert, wird es höchstwahrscheinlich am LHC entdeckt. Allerdings ist am LHC eine genaue Bestimmung der unterschiedlichen Kopplungen des Higgs Teilchens aufgrund der unbestimmten Anfangszustände kaum möglich. Dies würde dann zur wichtigen Aufgabe des ILC werden. Auch der bisher zugängliche Energiebereich kann genauer als bisher auf Abweichungen vom Standardmodell geprüft werden. Der ILC ist der erste leptonische Beschleuniger, der die Schwelle für Top-Antitop-Quark-Produktion bei etwa 350 GeV überschreitet und damit eine genaue Bestimmung der Masse und der elektroschwachen Eigenschaft des Top-Quarks ermöglicht. Dadurch könnten sich Hinweise auf neuartige Physik jenseits des Standardmodells ergeben (Krautscheid, 2008).

Abbildung 1.1 zeigt den schematischen Aufbau des internationalen Linearbeschleunigers. Der ILC wird eine Elektronenquellen enthalten, die einen bis zu 80 % polarisierten Elektronenstrahl erzeugt. Die polarisierten Positronen werden durch Paarbildung über den in den Elektronen-Hauptbeschleuniger integrierten Undulator erzeugt. Die so erzeugten Positronen verfügen über eine Polarisation von etwa 30 %, welche in einem späteren Ausbau auf etwa 60 % erhöht werden kann. Zur Reduktion der Emittanz werden die Strahlen in Elektronen- und Positronen-Dämpfungsringe mit einem Umfang von 6,7 km eingespeist. Die Extraktion der Strahlen aus den Speicherringen erfolgt bei einer Energie von 5 GeV in Form von gepulsten Ladungspaketen. Diese werden zu den zwei 11 km langen Hauptbeschleunigern, die mit einer Pulslänge von 1,6 ms arbeiten, transportiert. Hier erfolgt die eigentliche Beschleunigung mittels supraleitender Niob-Hohlraumresonatoren. Über das 4,5 km lange Strahlzuführungssystem erfolgt der Transport der Teilchenstrahlen von den Hauptbeschleunigern in den Detektor zu dem Wech-

selwirkungspunkt.

Die Qualität des Strahls wird durch seine Luminosität  $L$  beschrieben. Die Ereignisrate  $dN/dt$  ergibt sich dann zusammen mit dem Wirkungsquerschnitt  $\sigma_P$ , welcher von der Physik bei dem jeweiligen Prozess bestimmt ist:

$$\frac{dN}{dt} = \sigma_P(E) \cdot L \quad . \quad (1.2)$$

Zur präzisen Untersuchung von Prozessen mit hoher statistischer Signifikanz ist eine hohe Luminosität  $L$  notwendig:

$$L = \frac{N n_z f_{\text{Puls}}}{\sigma_x \sigma_y} \cdot H_D \quad . \quad (1.3)$$

Dabei sind  $\sigma_x$  und  $\sigma_y$  die mittlere transversale Breite der gaußförmigen Teilchenpakete,  $N$  ist die Anzahl der Teilchen pro Paket,  $n_z$  ist die Anzahl der Pakete in einer Gruppe,  $f_{\text{Puls}}$  ist die Pulsrate und  $H_D$  ist der Strahl-Strahl-Interaktionsfaktor (Janssen, 2004; Stöver, 2007).

Die angestrebte Luminosität bei 500 GeV soll  $2 \cdot 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  betragen. Der Strahl besteht aus einer Folge von Paketgruppen<sup>4</sup> mit einer Pulsrate von 5 Hz. Jede Paketgruppe mit der Pulslänge von 1 ms besteht aus rund 3000 Teilchenpaketen<sup>5</sup>. Jedes Teilchenpaket enthält bis zu  $2 \cdot 10^{10}$  Elektronen oder Positronen, die paketweise zur Kollision gebracht werden (Brau u. a., 2007). In Tabelle 1.1 sind einige Strahleigenschaften des ILC aufgeführt. In Abbildung 1.2 ist die Struktur der Teilchenpakete verdeutlicht.

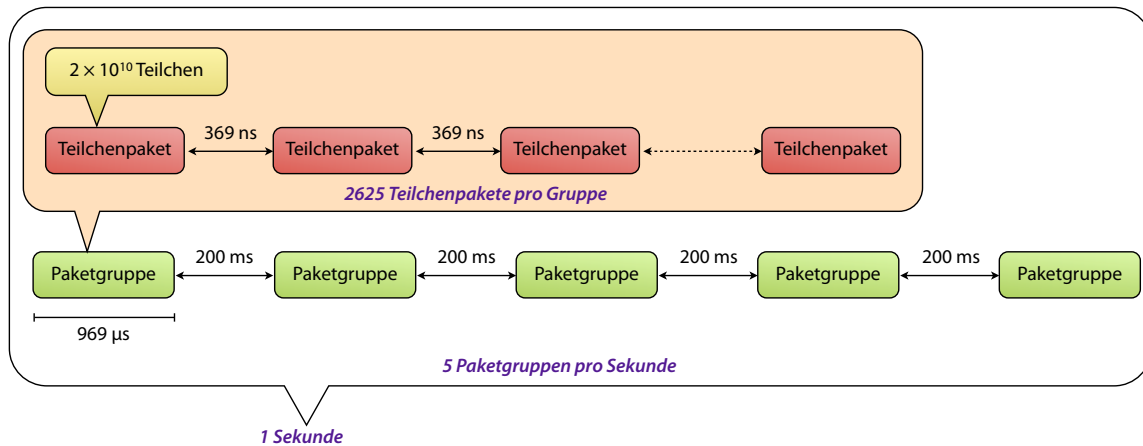
**Tabelle 1.1:** Die nominalen Parameter des Beschleunigers für den International Linear Collider. Die nominalen Werte ergeben sich bei einer Schwerpunktsenergie von  $\sqrt{s} = 250 \text{ GeV}$  (Phinneya u. a., 2007).

Parameter	Wert	Einheit
Schwerpunktsenergie	250	GeV
Spitzen-Luminosität	$2 \cdot 10^{34}$	$\text{cm}^{-2} \text{ s}^{-1}$
Pulsrate	5	Hz
Pulslänge	969	$\mu\text{s}$
Anzahl der Teilchenpakete pro Puls	2625	
Beschleunigungsfeldgradient	31,5	MV/m
Teilchenpaket-Abstand	369	ns
Teilchenpaket-Länge	300	$\mu\text{m}$
Horizontale Strahlgröße	640	nm
Vertikale Strahlgröße	5,7	nm
Anzahl an Teilchen pro Paket	$2 \cdot 10^{10}$	

Beim ILC werden bei einer Schwerpunktsenergie von  $\sqrt{s} = 500 \text{ GeV}$  innerhalb einer Paketgruppe rund 10 überwiegend durch Bhabha-Streuung verursachte Ereignisse in einem Vorwärtswinkelbereich von 30 mrad bis 90 mrad erwartet (Phinneya u. a., 2007). Damit muss mit Ereignisraten im Bereich von einigen kHz gerechnet werden. Obwohl die maximal zu erwartende Ereignisrate im Vergleich zu denen aktueller Hadronenbeschleuniger klein ist, können die Spitzenraten innerhalb einer Paketgruppe einige MHz erreichen (Behnke u. a., 2007).

<sup>4</sup>engl. trains.

<sup>5</sup>engl. bunch.



**Abbildung 1.2:** Struktureller Aufbau der Teilchenpakete, die im ILC beschleunigt und zur Kollision gebracht werden.

### 1.1.2 Anforderung an die Detektoren für den ILC

Der *International Linear Collider* ermöglicht aufgrund des geringen Untergrunds bei der Elektron-Positron-Kollision und der wohlbekannten Schwerpunktsenergie höchst präzise Messungen. Die Prozesse zum Nachweis des Higgs-Teilchens, der Supersymmetrie oder die Bestimmung der Top-Quark-Eigenschaften und die Genauigkeit mit der diese gemessen werden sollen, geben die Anforderungen an die Detektoren für den ILC vor (Djouadi u. a., 2007). Um die angestrebte Präzision zu erreichen, müssen alle Detektorkomponenten deutliche Verbesserungen gegenüber bisher genutzten Systemen erfahren, so dass dies eine große Herausforderung bei der Entwicklung eines solchen Detektors darstellt.

Bedingt durch die Zeitstruktur der Teilchenpakete soll der gesamte Detektor nicht nach jedem einzelnen Ereignis ausgelesen werden, sondern kontinuierlich über die Zeitspanne einer Paketgruppe. Die Daten werden daher zwischengespeichert, in der Zeit zwischen zwei Paketgruppen verarbeitet und dauerhaft gesichert, sofern physikalisch interessante Ereignisse selektiert wurden. Diese kontinuierliche Auslese stellt zusätzlich neue Anforderungen an den Detektor, insbesondere an die Auslesegeschwindigkeit.

Um einen möglichst großen Raumwinkelbereich zu erfassen, umgeben die Messinstrumente des Detektors den Vertex in einer Schalenstruktur. Im Inneren wird ein Vertexdetektor zur präzisen Vermessung der Teilchenspuren angeordnet. Die Bestimmung der Vertices ist von essenzieller Bedeutung für eine genaue Messung der Reaktionen schwerer Teilchen. Die folgende Schicht bildet der Spurdetektor. Auch hier sollen die Teilchenspuren vermessen werden, allerdings sind aufgrund des größeren Abstands zum Strahlrohr die Anforderungen an die Strahlenresistenz und die absolute Auflösung geringer.

Mit Hilfe eines Magnetfeldes kann, wie in Abschnitt 1.2.2 erklärt wird, der transversale Impuls  $p_T$  der Teilchen bestimmt werden. Eine sehr hohe transversale Impulsauflösung ist notwendig, um die Higgs-Masse präzise messen zu können. Es wird dabei eine Impulsauflösung von

$$\delta(1/p_T) \leq 5 \cdot 10^{-5} \cdot c \frac{1}{\text{GeV}} \quad (1.4)$$

angestrebt, welche um eine Größenordnung besser ist als die am LEP (Krautscheid, 2008).

An das Spurmesssystem schließt sich das elektromagnetische Kalorimeter, in dem die von Elektronen und Photonen deponierte Energie gemessen wird, an. Im folgenden hadronischen Kalorimeter wird mit ähnlichen Methoden die Energiedeposition von Hadronen vermessen. Durch Unterteilung der Kalorimeter in Segmente lassen sich außerdem Richtungsinformationen der Teilchen gewinnen. Die angestrebte Energieauflösung von

$$\frac{\sigma_E}{E} = \frac{0,3}{\sqrt{E/\text{GeV}}} \quad (1.5)$$

stellt eine um den Faktor zwei bessere Energieauflösung dar, als sie bei LEP erreicht wurde (Krautscheid, 2008; Ild, 2009). Das Teilchenflusskonzept<sup>6</sup> ermöglicht es, diese hohen Auflösungen zu erreichen. Beim Teilchenflusskonzept werden die Energien der geladenen Teilchen aus den Teilchenschauern schon im Spurdetektor gemessen und ersetzen damit die das herkömmliche Vorgehen, diese Energie in den Kalorimetern zu messen, da in den zu erwartenden Teilchenenergien die Spurauflösung der Kalorimetrauflösung überlegen ist. Nur die Energien der neutralen Teilchen werden in den Kalorimetern gemessen. Auf diese Weise kann eine Verbesserung der Energieauflösung des Teilchenschauers erzielt werden, wenn die Energiedeposition von geladenen und neutralen Teilchen im Kalorimeter eindeutig getrennt werden kann.

Umgeben werden die Detektorschichten von einem supraleitenden Magneten, dessen Feld in etwa 4 T betragen soll. Zur Erfassung von Myonen dienen Myonenkammern, welche in das Joch der Magnete eingelassen sind. Diese bilden die letzte Schicht des Detektors. Ergänzt wird das System durch Detektorkomponenten, die den Eintritt der Strahlrohre eng umschließen, um möglichst den gesamten Raumwinkel erfassen zu können.

Die Entwürfe für den ILC sehen vor, dass mit zwei Detektoren gegenseitig kontrollierende Experimente durchgeführt werden können. Zur Kostenreduktion sollen die Detektoren in einer Halle untergebracht und abwechselnd in den Strahl geschoben werden. Es wurden für den ILC vier Detektorkonzepte vorgeschlagen (Behnke u. a., 2007; Ild, 2009; Sid, 2009; 4th, 2009): Das *Large Detector Concept* (LDC), der *Global Large Detector* (GLD), das *Silicon Detector Concept* (SiD) und der *Fourth Concept Detector* (4<sup>th</sup>). Die Konzepte LDC und GLD wurden aufgrund großer Ähnlichkeiten zum *International Large Detector* (ILD) zusammengefasst. Die einzelnen Konzepte unterscheiden sich vor allem in der Größe, dem Spurdetektor, dem konkreten Aufbau der Kalorimeter, sowie dem Magnetfeld. Außer dem SiD sehen alle Detektorkonzepte eine Zeitprojektionskammer als Möglichkeit für den zentralen Spurdetektor vor. Ebenso machen abgesehen vom 4<sup>th</sup> Konzept, welches auf hochauflösende kompensierende Kalorimeter setzt, alle Detektorkonzepte von dem Teilchenflussansatz Gebrauch (Schäfer, 2005; Stöver, 2007; Beck, 2008).

## 1.2 Zeitprojektionskammern

Die Detektorentwürfe unterscheiden sich besonders in der Art der Spurmessung. Die Spurdetektoren bei zwei der Detektorkonzepte für den ILC basiert auf einer Zeitprojektionskammer (TPC)<sup>7</sup>, einem gasbasierten Konzept. Eine TPC stellt eine spezielle Form von einer Driftkammer dar und besteht zum größten Teil aus einem sensitiven Detektorvolumen, das mit Gas gefüllt ist. Im sensitiven Volumen

---

<sup>6</sup>engl. particle flow.

<sup>7</sup>engl. Time Projection Chamber.



werden geladene Teilchen erfasst, die durch elektromagnetische Wechselwirkung in der Lage sind, das Gas entlang ihrer Bahn zu ionisieren.

Da aber Driftelektronen in Gasdetektoren als Informationsträger dienen, unterliegt die Auflösung den Diffusionseffekten. Ebenso hängt die Auslesegeschwindigkeit stark von der Driftgeschwindigkeit in der Gasmischung ab. Obwohl Siliziumdetektoren schneller arbeiten und eine prinzipiell höhere Auflösung bieten, erschwert der Festkörper – begünstigt durch Vielfachstreuung – die präzise Vermessung langer Teilchenbahnen.

Gas als sensitives Medium hat den Vorteil, dass es kaum zu Wechselwirkungen mit den zu untersuchenden Teilchen kommt. Der Materialbedarf einer TPC ist extrem gering. Das eigentliche Nachweisvolumen ist bis auf das Zählgas nahezu materialfrei und minimiert die Mehrfachstreuung und Photonenkonversion (Ummenhofer, 2008). Durch Messung des Energieverlustes im Detektor kann eine Teilchenidentifikation durchgeführt werden.

### 1.2.1 Wechselwirkung von Teilchen mit Materie

Die in der Hochenergiephysik betrachteten Teilchen verfügen in der Regel über Bewegungsenergien, die um mindestens sechs Größenordnungen oberhalb der Ionisationsenergien von Atomen und Molekülen liegen. Diese Teilchen können einen Teil ihrer kinetischen Energie durch Anregung von gebundenen Elektronen oder Ionisation beim Durchgang durch Materie verlieren. Angeregte Atome können diese Energie in Form von niederenergetischen Photonen wieder abgeben. Ebenso ist der Energieverlust durch Streuprozesse in Gasdetektoren von großer Bedeutung. Dabei wird dem gebundenen Elektron soviel Energie übertragen, dass es den Atomverband verlässt und ein Elektron-Ion-Paar bildet.

Der mittlere Energieverlust pro Wegstrecke  $dE/dx$  für schwere ( $m > m_e$ ) geladene Teilchen im Absorbermaterial durch Ionisation und Anregung wird durch die Bethe-Bloch-Formel beschrieben (Kleinknecht, 2005):

$$-\frac{dE}{dx} = \frac{4\pi}{m_e c^2} \cdot \frac{N_0 Z z^2}{A \beta^2} \cdot \left( \frac{e^2}{4\pi\epsilon_0} \right)^2 \cdot \left[ \ln \left( \frac{2m_e c^2 \beta^2}{I \cdot (1 - \beta^2)} \right) - \beta^2 \right], \quad (1.6)$$

wobei  $N_0$  die Avogadro-Zahl,  $Z$  und  $A$  die Ordnungs- und Massenzahl des Materials,  $ze$  und  $v = \beta c$  die Ladung und Geschwindigkeit des bewegten Teilchens,  $m_e$  die Ruhemasse des Elektrons,  $\epsilon_0$  die Dielektrizitätskonstante und  $I$  das effektive Ionisationspotenzial des Materials sind.

Die Bethe-Bloch-Formel muss für geladene Teilchen mit  $m = m_e$  modifiziert werden, da bei der Herleitung der Formel davon ausgegangen wird, dass die schweren Stoßpartner bei der Wechselwirkung mit den Elektronen des Absorbermaterials keine Ablenkung erfahren. Bei der Elektron-Elektron-Streuung muss zudem auch das Pauli-Prinzip beachtet werden. Die Bethe-Bloch-Formel muss dahingehend korrigiert werden. Die Energieverluste durch Bremsstrahlung müssen wegen der geringen Masse der Elektronen in Materie ebenfalls berücksichtigt werden. Dieser Beitrag ist für hohe Energien dominant.

Das geladene Teilchen, das die Kammer von Gaskammern durchquert, ionisiert pro Wegstrecke nur ein einzelnes Gasteilchen. Die mittlere freie Weglänge bis zum nächsten Stoß hängt vom Wirkungsquerschnitt des Teilchens in dem Gas ab. Man unterscheidet zwischen bei der Ionisation entstehenden Primär- und Sekundär-Elektronen. Primärelektronen werden von den die Kammer durchgehenden Teilchen durch Ionisation der Gasteilchen erzeugt. Die Sekundärelektronen stammen aus der Ionisation, die durch Stöße der Primärelektronen mit den Gasteilchen verursacht wurden. Diese entstehen

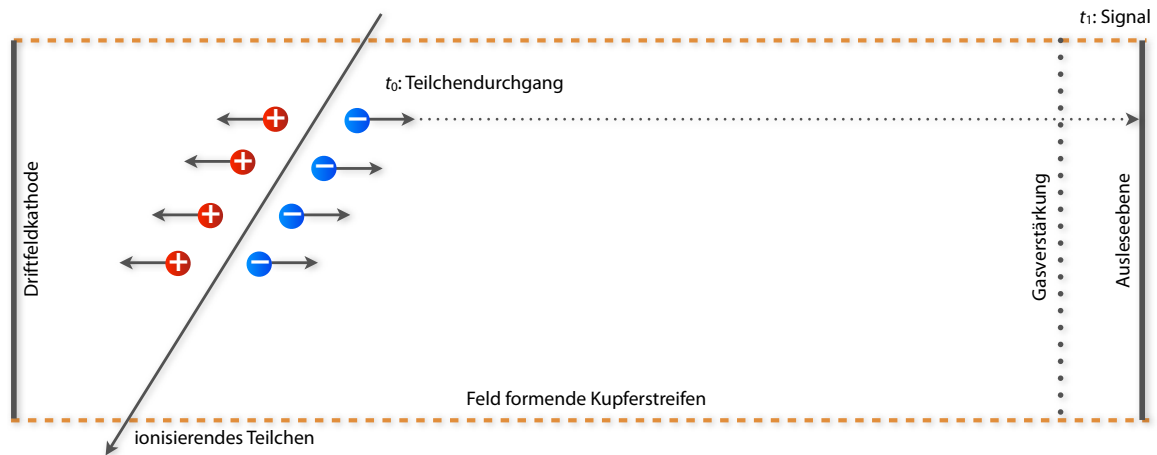


Abbildung 1.3: Funktionsweise einer Zeitprojektionskammer.

häufig sehr nah am Entstehungsort des Primärelektrons, so dass sich entlang der Teilchenspur Elektronenbündel<sup>8</sup> bilden. Einige wenige Primärelektronen, die so genannten  $\delta$ -Elektronen, verfügen über ausreichend Energie, um signifikant von ihrem Entstehungsort durch Ionisation entlang ihrer Bahn eine eigene Spur zu erzeugen (Krautscheid, 2008).

Neutrale Teilchen (beispielsweise Photonen) hinterlassen keine ionisierte Teilchenspur und sind deshalb für eine Spurkammer unsichtbar. Ungeladene Teilchen müssen ihre Energie auf geladene Teilchen übertragen, die ihrerseits Spuren im Detektorgas erzeugen. Bei Photonen geschieht dies über elektromagnetische Wechselwirkungen, wobei der Photoeffekt, der Compton-Effekt und die Paarbildung auftreten können (Beck, 2008; Ummenhofer, 2008).

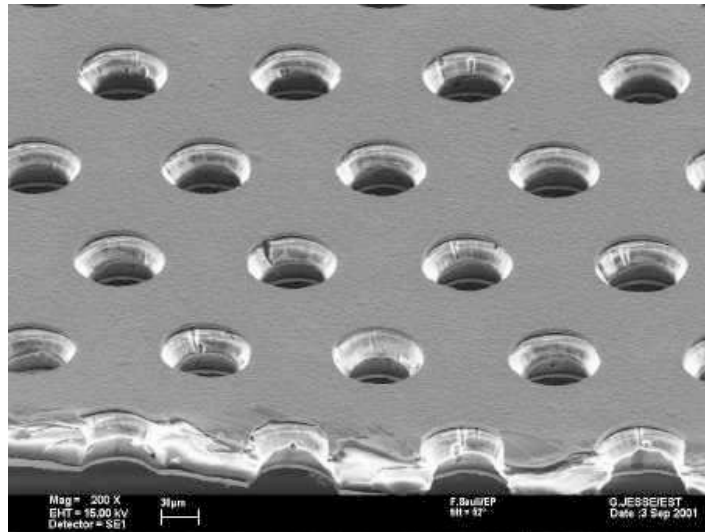
### 1.2.2 Spurrekonstruktion durch Zeitprojektion

Eine Zeitprojektionskammer dient zur räumlichen Erfassung von Teilchenspuren. Der Detektor besteht im Wesentlichen aus einem großen gasgefüllten, zylindrischen Driftvolumen (Abbildung 1.3). Als Detektorzählgas wird in der Regel ein Edelgas verwendet. Edelgasatome sind einatomig, so dass keine Schwingungs- oder Rotationsfreiheitsgrade angeregt werden können und der Energieübertrag durch Ionisation überwiegt. Wenn ein ionisierendes Teilchen die Kammer passiert, verliert es Energie und hinterlässt eine Spur aus Elektronen-Ionenpaaren.

Der die Kammer umgebene Feldkäfig erzeugt ein homogenes elektrisches Feld in der Driftkammer. Elektronen aus der primären Ionisation driften daher in Richtung der Anoden und eine Rekombination der entstanden Ionen wird verhindert. Diese Primärelektronen der Ladungsspur gelangen auf die Gasverstärkungsstrukturen an der Anodenseite. Diese wiederum vervielfältigen die Anzahl der eintreffenden Elektronen so stark, dass genug Ladung für eine Auslese erzeugt wird. Die Auslese erfolgt dann mit auf der Stirnfläche befindlichen ladungsempfindlichen Detektoren.

Aus der Driftzeit der Elektronen im Driftvolumen lässt sich die dritte räumliche Komponente der Spur rekonstruieren. Zum Zeitpunkt  $t_0$  wird eine Zeitmessung gestartet, sobald das geladene Teilchen

<sup>8</sup>engl. cluster.



**Abbildung 1.4:** Elektronenmikroskopaufnahme eines GEMs: Löcher von rund  $70\ \mu\text{m}$  Durchmesser werden im Abstand von rund  $140\ \mu\text{m}$  in eine  $50\ \mu\text{m}$  dicke Kapton-Schicht geätzt, die beidseitig mit  $5\ \mu\text{m}$  Kupfer bedampft wurde (Ropelewski, 2009).

die Kammer durchquert und eine Spur aus Ladungsträgern hinterlässt. Zum Zeitpunkt  $t_1$  wird die Messung beendet, sobald die Ladungsspur in der Auslese erfasst wird. Wenn man annimmt, dass die Primärelektronen mit einer konstanten Geschwindigkeit  $v_{\text{Drift}}$  durch das Volumen driften, kann die Driftstrecke  $s_{\text{Drift}}$  durch  $s_{\text{Drift}} = v_{\text{Drift}} \cdot (t_1 - t_0)$  bestimmt werden. Die Umrechnung der Driftzeit in eine Driftstrecke erklärt auch den Namensursprung der Zeitprojektionskammer.

Zusätzlich zum elektrischen Feld kann noch ein dazu paralleles Magnetfeld  $B$  angelegt werden. Auf die den Detektor durchquerenden Teilchen wirkt somit die Lorentzkraft, so dass die Flugbahn durch eine Helix beschrieben wird. Aus der Messung des Krümmungsradius  $r$  lässt sich gemäß  $p_T = q \cdot B \cdot r$  der transversale Impuls  $p_T$  eines Teilchens mit der Ladung  $q$  bestimmen. Des Weiteren reduziert das Magnetfeld die transversale Diffusion der driftenden Elektronen und verbessert dadurch die Punktauflösung des Detektors (Krautscheid, 2008; Stöver, 2007; Ummenhofer, 2008).

### 1.2.3 Gasverstärkung mit GEM-Stapeln

Primärelektronen können in einem elektrischen Feld so stark beschleunigt werden, dass diese wiederum genug Energie besitzen, um weitere Gasatome zu ionisieren. Ebenso können die Sekundärelektronen zur Erzeugung weiterer Ladungsträger beitragen. Bei genügend starken Feldgradienten kann dies zu einer lawinenartigen Vervielfältigung eines Elektronensignals führen. Ausschlaggebend für den Verstärkungsfaktor ist das lokal vorherrschende Feld und das verwendete Gas.

In Zusammenhang mit Zeitprojektionskammern werden alle Elektronen, die direkt oder indirekt beim Teilchendurchgang entstehen, als Primärelektronen bezeichnet. Als Sekundärelektronen bezeichnet man die Elektronen, die bei der Gasverstärkung entstehen.

Gaselektronenvervielfacher (GEM)<sup>9</sup> sind eine Methode zur Signalverstärkung in Zeitprojektionskammern. GEMs sind dünne Folien, die beidseitig mit einer Metallschicht bedampft sind und damit prin-

<sup>9</sup>engl. Gas Electron Multiplier.

**Tabelle 1.2:** Anforderungen an eine Zeitprojektionskammer für den *International Linear Collider* im Rahmen des *International Large Detector*-Konzeptes (Ild, 2009).

Detektor-Anforderung	Wert
Impulsauflösung (nur für die TPC)	$\delta(1/p_T) \approx 9 \cdot 10^{-5} \cdot c/\text{GeV}$
Impulsauflösung (gesamt)	$\delta(1/p_T) \approx 2 \cdot 10^{-5} \cdot c/\text{GeV}$
TPC-Materialbudget	0,04 $X_0$ in $r$ -Richtung 0,15 $X_0$ in $z$ -Richtung
Anzahl der Kontaktflächen	$1 \cdot 10^6$
Einzelpunktauflösung in $r\varphi$	$< 100 \mu\text{m}$
Einzelpunktauflösung in $rz$	$\approx 0,5 \text{ mm}$
Doppelspurauflösung in $r\varphi$	$\approx 2 \text{ mm}$
Doppelspurauflösung in $rz$	$\approx 6 \text{ mm}$
$dE/dx$ Auflösung	$\approx 5 \%$

ziell einen Kondensator bilden. In diese Folie wird ein regelmäßiges Muster aus Löchern eingätzt (Abbildung 1.4).

Zwischen der oberen und der unteren Elektrode wird eine Potentialdifferenz von einigen hundert Volt angelegt. In den GEM-Löchern bilden sich dadurch elektrische Felder von bis zu  $E = 8,0 \cdot 10^6 \frac{\text{V}}{\text{m}}$ . Um eine für den Detektor ausreichende Signalverstärkung zu gewährleisten, werden mehrere GEMS zu einem Stapel zusammengefasst. Dies ermöglicht eine Vervielfachung der Verstärkung um jeweils eine Größenordnung für jede zusätzliche GEM im Stapel (Ummenhofer, 2008).

Die Primärelektronen werden beim Driften zur Anode in den GEM-Löchern gesammelt. Durch das starke Feld werden in den Löchern aufgrund der Gasverstärkung Elektron-Ion-Paare erzeugt. Die vervielfachten Elektronen werden anschließend in das darunterliegende Gasvolumen extrahiert. Hier treffen sie auf weitere GEMS und werden weiter verstärkt. Am Ende wandern die vervielfachten Elektronen zur Ausleseebene und können dort von Detektoren erfasst werden.

Der Ausleseprozess bei GEMS ist gegenüber anderen Gasverstärkungssystemen wie Drahtkammern deutlich verkürzt. Das legt die Verwendung von GEMS für den Detektor des geplanten Linearbeschleunigers nahe. Die direkten Elektronensignale der GEMS sind schmaler als die Influenzsignale der Drahtkammern. Um dadurch zu einer besseren Auflösung zu kommen, wird allerdings auch eine feinere Strukturierung der Auslesefläche erforderlich (Ummenhofer, 2008).

#### 1.2.4 Anforderungen an die Zeitprojektionskammern für den ILC

Im Folgenden werden die Anforderungen an die TPC für den ILC vorgestellt, welche im Rahmen des ILD veröffentlicht wurden (Ild, 2009). Diese Anforderungen sind in der Tabelle 1.2 zusammengefasst. Danach wird die TPC für den ILC einen Außendurchmesser von 3,6 m und eine Gesamtlänge von 4,3 m besitzen. Die geforderte Impulsauflösung für das gesamte Spurdetektorsystem beim ILD soll

$$\delta(1/p_T) \approx 2 \cdot 10^{-5} \cdot c \frac{1}{\text{GeV}}$$

betragen. Dabei soll die Impulsauflösung nur der TPC

$$\delta(1/p_T) \approx 9 \cdot 10^{-5} \cdot c \frac{1}{\text{GeV}}$$

betragen. Zur Bestimmung der Krümmungsradien hochenergetischer Teilchen muss die TPC mit ausreichender Ortsauflösung messen. Wenn die angestrebte Ortsauflösung von 100  $\mu\text{m}$  in der  $r\phi$ -Ebene und 500  $\mu\text{m}$  in  $z$ -Richtung erreicht werden soll, muss die Ladungsverteilung der ankommenden Elektronen sehr genau gemessen werden. Dazu existieren zwei Verfahren zur Auslese der TPC, die auf den zwei Endkappen, welche jeweils eine Fläche von rund 10  $\text{m}^2$  besitzen werden, angebracht sind. Die eine Möglichkeit besteht mit einer konventionellen Auslese der Ladung über kleine elektronische Kontaktflächen<sup>10</sup> der Größe von 1 mm  $\cdot$  5 mm. Ungefähr  $10^6$  dieser Kontaktflächen würden sich auf einer Endkappe befinden. Bei dieser konventionellen Art der Auslese kann es zu einem Verlust an Präzision kommen, wenn die gesamte Ladung von nur einer Kontaktfläche gesammelt wird. Dies könnte mit einer Aufweitung des Signals nach der Gasverstärkung korrigiert werden (Krautscheid, 2008).

Eine Alternative zu der konventionellen Auslese bieten CMOS<sup>11</sup>-Chips, welche eine sehr feine Segmentierung aufweisen und daher keine zusätzliche Verbreiterung des Signals erfordern. Diese Chips besitzen ladungsempfindliche Kontaktflächen in der Größe von rund 50  $\mu\text{m}$ . Das resultiert in einer Abdeckung der Endkappen mit rund  $2 \cdot 10^9$  Kontaktflächen, was einer Anzahl von rund  $4 \cdot 10^4$  Chips entspricht. Eine solche Auslese verspricht eine bisher unerreichte feine Segmentierung der Auslesefläche bei gleichzeitig minimalem Materialaufwand, da Teile der Ausleseelektronik in die Auslesefläche integriert werden können.

Insgesamt ist eine Minimierung des Materialaufwands unter anderem hinsichtlich der präzisen Energiemessung mittels des Teilchenflusskonzepts wichtig. Eine TPC hat hier den Vorteil, dass sie eine hohe Ortsauflösung bei einem minimalen Materialaufwand realisiert. Für die TPC am ILD ist ein Materialbudget von rund 0,01 Strahlungslängen für den inneren und 0,03 Strahlungslängen für den äußeren Feldkäfig von der Strahlachse radial nach außen vorgesehen. Zusätzlich resultieren 0,01 Strahlungslängen aus dem Gas. Die Endkappen, welche die Ausleseelektronik beinhalten, stellen das größte Hindernis für das durchgehende Teilchen dar. Hier besteht das Ziel, den Materialbedarf so weit zu minimieren, dass die Teilchen weniger als 0,15 Strahlungslänge durchqueren müssen.

Aus den nominalen Parametern des Beschleunigers in Tabelle 1.1 ergibt sich bei einer Kollision eine Rate von 2,6 MHz über 1 ms, gefolgt von 200 ms ohne jegliche Wechselwirkung. Daraus folgt eine Gesamt-Kollisionsrate von 13 kHz. Das Datenaufkommen am ILC wird von einem maschineninduzierten Untergrund dominiert werden. Die Hauptursache für den Untergrund sind alle Teilchen, welche ungewollt allein durch den Betrieb des Beschleunigers entstehen, vornehmlich Teilchen durch Paarbildung aus der unerwünschten Emission von Photonen, welche durch Ablenkung der geladenen Teilchen in den Paketen entsteht<sup>12</sup>. Aufgrund dieses Untergrunds erwartet man bei jeder Durchquerung der Teilchenpakete<sup>13</sup> in der TPC ungefähr 400 Treffer<sup>14</sup>. Physikalisch interessante Ereignisse tragen dagegen nur zu weniger als einem Prozent der aufgezeichneten Daten bei.

<sup>10</sup>engl. Pads.

<sup>11</sup>Aus dem Englischen für Complementary Metal Oxide Semiconductor. CMOS bezeichnet sowohl die Kombination von p-Kanal- und n-Kanal-Metalloxid-Halbleiter-Feldeffekttransistor als auch eine Logikfamilie. Hier ist lediglich der Prozess zur Realisierung von integrierten Schaltungen gemeint.

<sup>12</sup>Dieser Effekt wird im Englischen mit beamstrahlung bezeichnet.

<sup>13</sup>engl. bunch crossing.

<sup>14</sup>engl Hits.



## 2 TimePix-Chip

Die TPC für den ILC bietet eine gute Alternative für die präzise Rekonstruktion von Spuren geladener Teilchen. Das Ziel ist es daher, eine Technik zu entwickeln, welche die Auslese der TPC erlaubt, Informationen zum dreidimensionalen räumlichen Verlauf der Spur und zu der deponierten Ladung gibt. Zudem muss ein solches Auslesesystem die Anforderungen an die Orts- und Zeitauflösung, sowie die Ausleseraten erfüllen (Abschnitt 1.2.4).

Eine Möglichkeit zur Auslese der Signale nach der Gasverstärkung in einer Driftkammer sind anwendungsspezifische integrierte Schaltungen<sup>1</sup>, welche ladungsempfindliche Elemente auf der Oberfläche besitzen. Aus der Röntgen- und Teilchenphysik ist der Medipix2-Detektor für seine bildgebenden Eigenschaften bekannt (Llopart u. a., 2002; Bamberger u. a., 2007). Der Medipix2-Detektor besteht aus dem Medipix2-Chip, dessen Kontaktflächen<sup>2</sup> über Lotkügelchen mit einem Halbleiterdetektor verbunden sind. Innerhalb des Chips ist jede Kontaktfläche mit einer Verstärkereinheit und Signalverarbeitungselektronik zur Auswertung der Ladungspulse, die im Halbleiterdetektor erzeugt werden, verbunden. Dadurch erlaubt der Medipix2-Chip eine Energiemessung und das Zählen einzelner Photonen (Korn, 2007; Jakubek u. a., 2008).

Speziell für die Auslese einer Zeitprojektionskammer wurde der TimePix-Chip auf Basis des Medipix2-Chips weiterentwickelt. Wird der TimePix-Chip ohne Halbleiterdetektor betrieben, liegen die Kontaktflächen frei und sind empfindlich für die Ladung (Abbildung 2.1). Im Gegensatz zum Medipix2-Chip kann der TimePix-Chip auch die Ankunftszeiten der Signale in der Zeitprojektionskammer bestimmen. Dies geschieht durch Abgleichen der Signale mit dem globalen Taktsignal des Chips.

Der TimePix-Chip ist ein in Standard-CMOS-Technologie<sup>3</sup> gebauter ASIC. Im folgenden Kapitel wird der Aufbau des TimePix-Chips beschrieben. Ebenso wird die Verarbeitung der analogen Ladungssignale und deren Digitalisierung erklärt. Außerdem werden die vier Betriebsmodi des TimePix-Chips vorgestellt. Diese Modi ermöglichen durch ihre unterschiedliche Verarbeitungsweise der einkommenden Signale einen Einsatz des TimePix-Chips zur Driftzeit- und Ladungsmengenbestimmung sowie zum Zählen von Photonen. Daneben werden die Funktionen zur Steuerung und Bedienung des TimePix-Chips erläutert, welche zum Verständnis der nachfolgenden Kapitel, in denen die Entwicklung des Datenerfassungssystems für den TimePix-Chip beschrieben wird, notwendig sind.

### 2.1 Aufbau des TimePix-Chips

Bei der Betrachtung des Aufbaus des TimePix-Chips in Abbildung 2.2 lässt sich eine schematische Aufteilung in zwei Bereiche erkennen. Der in der Abbildung 2.2 dargestellte untere Teil wird als Peripherie

---

<sup>1</sup>engl. application specific integrated circuit, ASIC.

<sup>2</sup>engl. bonding pad.

<sup>3</sup>Prozess mit komplementären Metall-Oxid-Halbleitern (Englisch: Complementary Metal Oxide Semiconductor), die zur Realisierung von integrierten digitalen und analogen Schaltungen verwendet werden.

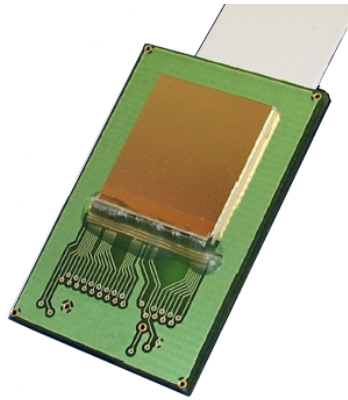


Abbildung 2.1: Der TimePix-ASIC mit der für die Auslese konzipierten Trägerplatine (Ummenhofer, 2008)

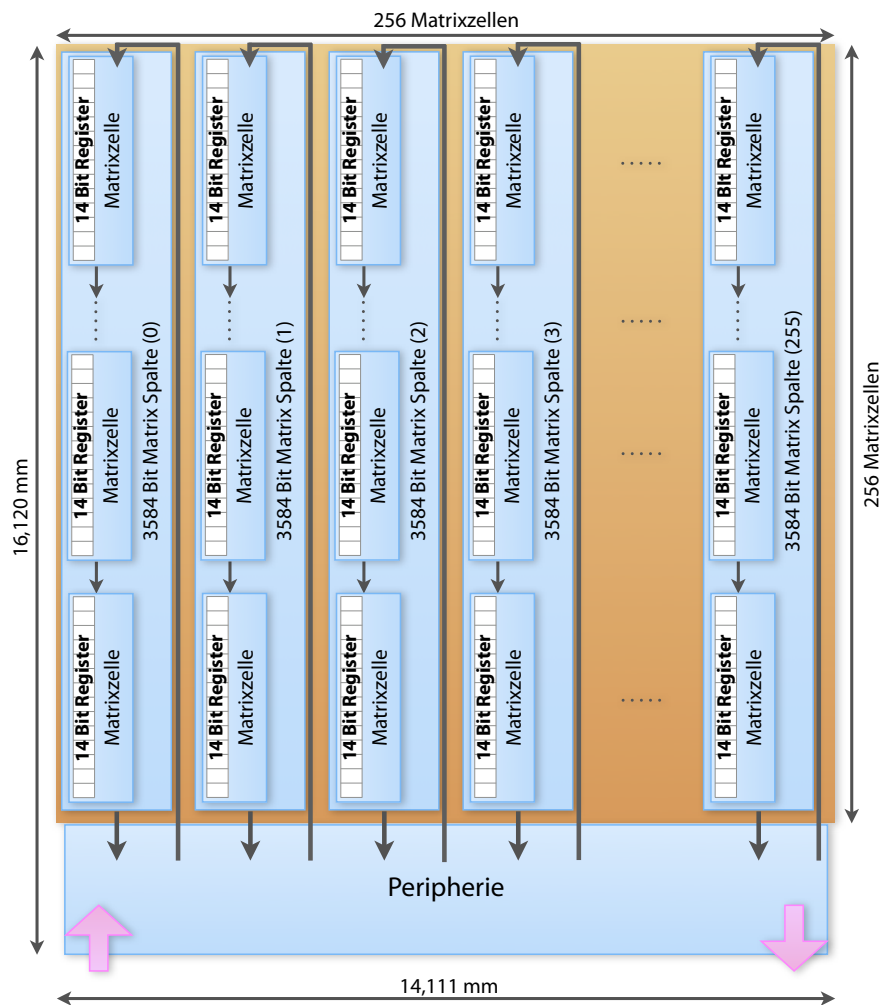


Abbildung 2.2: Schematischer Aufbau des TimePix-Chips. Die einzelnen Register in den Matrixzellen bilden eine 3584 bit breite Spalte. In Anlehnung an Llopert (2006).



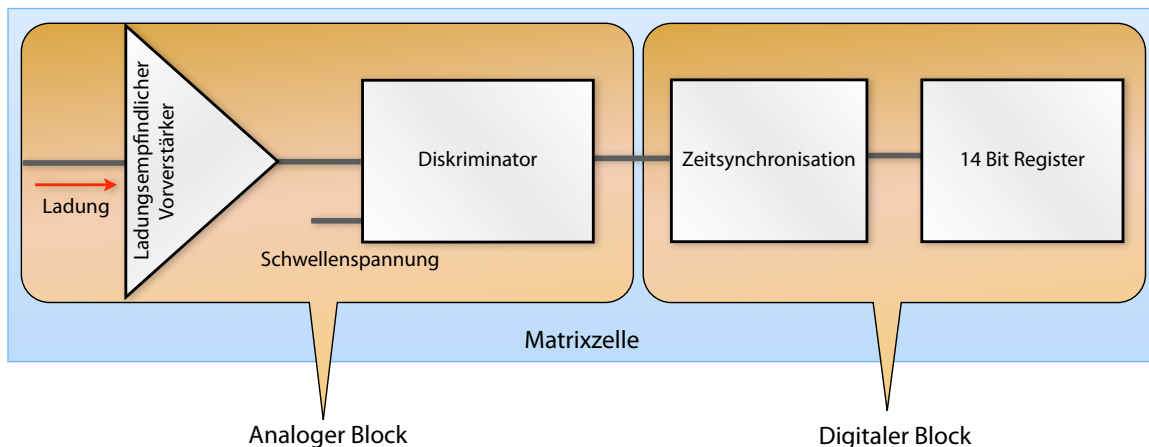


Abbildung 2.3: Schematische Darstellung der Arbeitsweise der Matrixzellen

bezeichnet und beinhaltet die Ein- und Ausgabereinheit. Hier findet die Verarbeitung der einkommenden und ausgehenden Signale statt, sowie die Kommunikation mit dem darüber liegenden Bereich. In der Peripherie befindet sich auch die Referenzspannungsquelle für die Digital-Analog-Umsetzer. Über die 127 Kontaktpunkte am unteren Rand der Peripherie wird eine leitende Verbindung zur Trägerplatte hergestellt. Dafür werden feine Drähte von wenigen 10  $\mu\text{m}$  Durchmesser verwendet (Ummenhofer, 2008). In Abschnitt 2.4 wird noch ausführlicher auf die Funktionsweise der Peripherie eingegangen werden.

Der über der Peripherie befindliche Teil besteht aus einer ladungsempfindlichen Matrix aus  $256 \cdot 256$  quadratischen Matrixzellen, die jeweils eine Fläche von  $55 \mu\text{m} \cdot 55 \mu\text{m}$  besitzen. Die Matrix deckt somit eine Fläche von  $1,982 \text{ cm}^2$  ab. Dies entspricht 87 % der Gesamtoberfläche von  $2,275 \text{ cm}^2$  (Llopart, 2006; Llopart u. a., 2007). Jede Matrixzelle kann in einen analogen und einen digitalen Block unterteilt werden (Abbildung 2.3). Zuerst werden die Signale im analogen Block vorverstärkt und mit einer Schwellenspannung diskriminiert. Die Signale aus dem Diskriminator werden anschließend im digitalen Block weiterverarbeitet.

## 2.2 Analoge Verarbeitung der Signale

Das Ziel der analogen Blocks in einer Matrixzelle ist die Verarbeitung der erfassten Ladungspulse. Die analoge Verarbeitung muss sicherstellen, dass nur solche Signale in eine für die Digitalisierung geeignete Form gebracht werden, welche für die Untersuchung entsprechende Mindest-Ladungsmengen besitzen. Dadurch soll verhindert werden, dass nur physikalisch interessante Signale und kein Rauschen detektiert werden.

Die passivierte Oberfläche einer jeden Matrixzelle ist dazu mit dem Eingang ihres Vorverstärkers verbunden. Jeder Vorverstärkereingang ist zudem über eine 8 fF Injektionskapazität an eine globale Injektionsleitung angeschlossen. Eine Transistorschaltung erlaubt es, diese Kapazität selektiv durch ein Testbit an- bzw. abzuschalten. Wie in Abschnitt 2.4.3 beschrieben wird, lässt sich somit durch Einkopplung eines analogen Spannungspulses jede Matrixzelle individuell testen (Llopart, 2006; Ummenhofer, 2008).

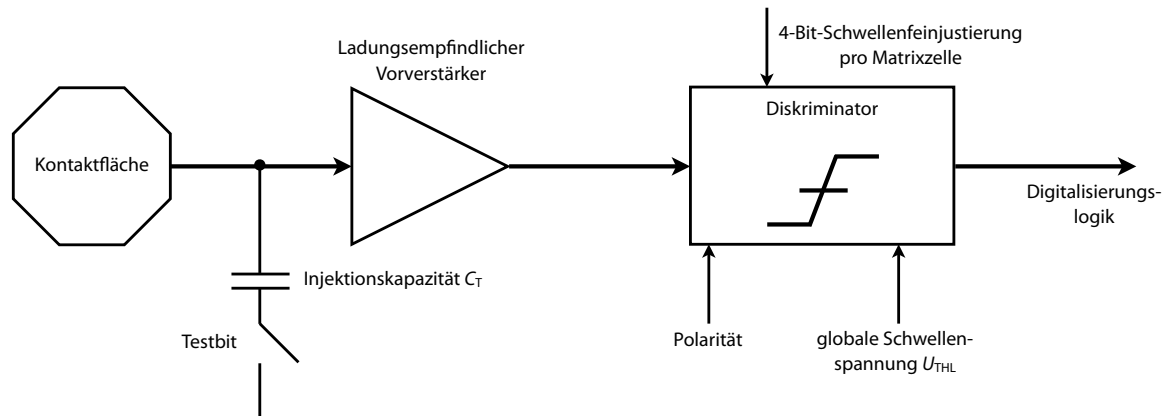


Abbildung 2.4: Schema der analogen Sektion einer Matrixzelle in Anlehnung an Llopert (2006)

Der Vorverstärker erzeugt einen zur eingegangenen Ladungsmenge proportionalen Spannungsimpuls. Dieser wird im Diskriminator mit konstanten Spannungsschwellen verglichen, woraufhin ein Ausgangssignal generiert wird. Die Dauer des Signals entspricht der Zeit des Eingangssignales über der Schwelle. Das Ausgangssignal wird anschließend im digitalen Block weiterverarbeitet (Abbildung 2.4).

### 2.2.1 Vorverstärker

Die zentrale Baugruppe des Vorverstärkers ist ein Operationsverstärker, der über einen Kondensator gegengekoppelt ist. Diese Schaltung wirkt dann als Integrierer. Für die Ausgangsspannung  $U_a$  des Integrierers ergibt sich mit der Ladung  $Q$  und der Kapazität  $C$  die Integralgleichung

$$U_a = \frac{Q}{C} = \frac{1}{C} \cdot \left( \int_0^t I_c(\tau) d\tau + Q_0 \right). \quad (2.1)$$

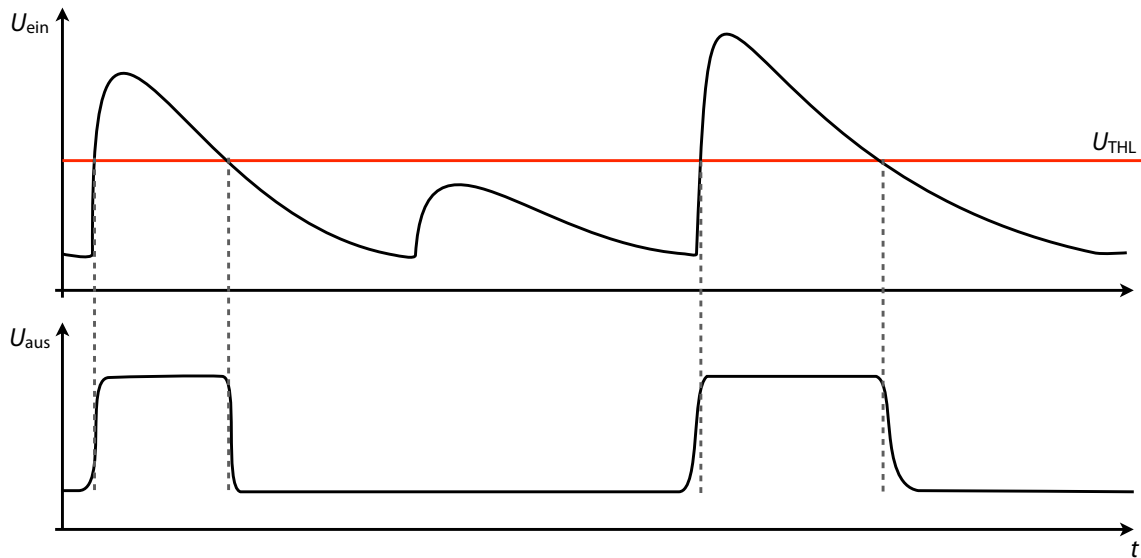
Dabei ist  $Q_0$  die Ladung, die sich zu Zeit  $t = 0$  bereits im Kondensator befindet und  $I_c$  der Strom durch den Kondensator.

Gelangt nun eine Ladung  $Q$  an den Eingang des Vorverstärkers, wird diese zunächst im Kondensator gesammelt. Die aus der Integration resultierende Spannung wird dann am Ausgang des Vorverstärkers als Signal ausgegeben. Dieses Spannungssignal  $U_{ein}$ , dessen Verlauf in der oberen Abbildung 2.5 exemplarisch dargestellt ist, entspricht einem asymmetrischen Dreieckssignal aufgrund der kurzen ansteigenden Flanke und der langgestreckten abfallenden Flanke.

Da der TimePix-Chip auch an Halbleiterdetektoren betrieben werden kann, muss die Vorverstärkerschaltung in der Lage sein, in Halbleiterdetektoren auftretende Leckströme zu kompensieren. Diese Kompensation wird durch eine Krummenacher-Schaltung gelöst (Krummenacher, 1991).

### 2.2.2 Diskriminator

Der Diskriminator bildet die Vorstufe für die Digitalisierung. Die Spannung vom Vorverstärker  $U_{ein}$  wird mit einer Schwellenspannung  $U_{THL}$  verglichen und ein für die digitale Weiterverarbeitung geeignetes Signal erzeugt. Dabei wird ein Ausgangsspannungsimpuls erzeugt sobald der Spannungsimpuls vom Vorverstärker ein gewähltes Schwellenspannungsniveau überschreitet. Der Diskriminator ähnelt



**Abbildung 2.5:** Schematische Darstellung der Signalverarbeitung im Diskriminator. Oben dargestellt ist das vom Vorverstärker ausgegebene Signal  $U_{\text{ein}}$ , welches die Form eines asymmetrischen Dreiecks besitzt. Unten ist das Diskriminator-Ausgangssignal  $U_{\text{aus}}$  dargestellt.

damit in seiner Funktion im Wesentlichen einem Komparator, in dem ebenfalls zwei Spannungen verglichen werden und ein Ausgangssignal erzeugt wird, welches zwei Zustände annehmen kann. In Abbildung 2.6 ist die Funktionsweise des Diskriminators in einem Blockschaltbild dargestellt.

Da der TimePix-Chip sowohl für negative als auch für positive Ladungen empfindlich ist, kann die Verstärkerspannung  $U_{\text{ein}}$  sowohl negative als auch positive Polarität besitzen. Je nach zu erwartender Polarität wird vor einer Datennahme ein Steuersignal an den Multiplexer gelegt. Der Multiplexer stellt sicher, dass die nachfolgende Hysterese-Schaltung<sup>4</sup> unabhängig von der Eingangsladung arbeitet (Llopart u. a., 2007).

Anschließend werden die beiden Spannungen an den Transkonduktanz-Operationsverstärker (OTA)<sup>5</sup> mit der Transkonduktanz  $g_m$  angelegt. Der Ausgangsstrom  $I_{\text{OTA}}$  wird durch die Spannungsdifferenz am Eingang gesteuert:

$$I_{\text{OTA}} = (U_{\text{THL}} - U_{\text{ein}}) \cdot g_m. \quad (2.2)$$

Der Strom ist somit negativ, falls die Verstärkerspannung größer ist als die Schwellenspannung. Er ist positiv, falls die Verstärkerspannung kleiner ist als die Schwellenspannung<sup>6</sup>.

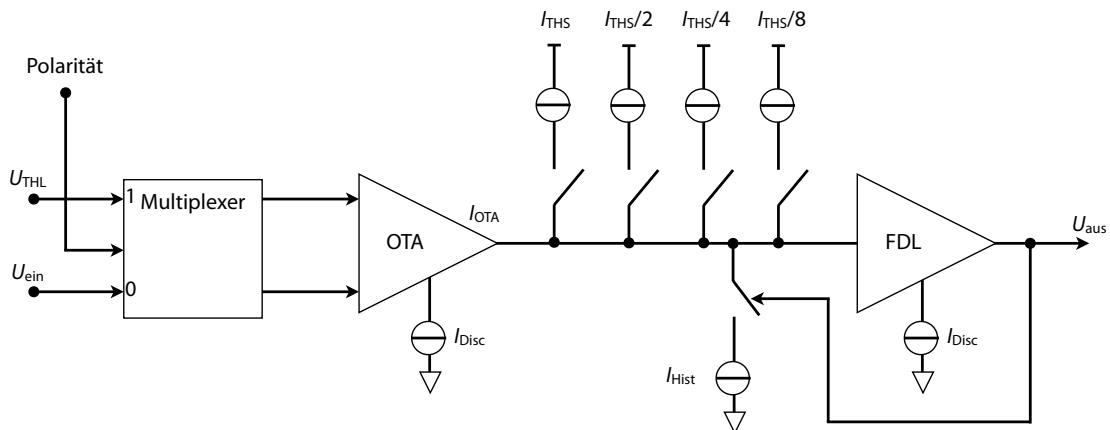
Der Ausgangsstrom des Transkonduktanz-Operationsverstärkers wird dann in die schnelle Unterscheidungslogikschaltung (FDL)<sup>7</sup> geführt. Die FDL-Schaltung ändert ihre Ausgangsspannung, sobald

<sup>4</sup>Eine Hysterese ist unter anderem eingebaut, um schnelle Wiederholungen von Ein- und Ausschaltvorgängen zu vermeiden. Siehe auch Llopart (2006).

<sup>5</sup>engl. Operational Transconductance Amplifier.

<sup>6</sup>Durch den vorgeschalteten Multiplexer werden die Eingänge an den OTA entsprechend vertauscht, so dass das Vorzeichen der Differenz  $U_{\text{THL}} - U_{\text{ein}}$  erhalten bleibt (Llopart, 2006).

<sup>7</sup>engl. Fast Discriminator Logic.



**Abbildung 2.6:** Blockschaltbild des Diskriminators. Die Ströme  $I_{Disc}$  dienen zur Versorgung der Operationsverstärker im Diskriminator. Der Strom  $I_{Hist}$  steuert die Hysterese des Diskriminators. Dies garantiert das Zurückspringen des Diskriminatorsignals auf die logische Null, falls der Eingang durch ein ansteigendes Signal (z.B. Rauschen) überlagert sein sollte. In Anlehnung an Llopart (2006).

sich die Polarität von  $I_{OTA}$  an ihrem Eingang ändert. Dies geschieht, wenn das Vorverstärkersignal über die Schwelle steigt oder unter sie fällt und somit die Differenz ( $U_{THL} - U_{ein}$ ) = 0 ergibt.

An den FDL Eingang können vier zusätzliche Stromquellen  $I_{THS}$ ,  $I_{THS}/2$ ,  $I_{THS}/4$  und  $I_{THS}/8$  angeschlossen werden. Diese können unabhängig voneinander mittels vier Schaltbits über Transistoren hinzugefügt werden. Dadurch wird der Zeitpunkt, wann der Verlauf des Stroms  $I_{OTA}$  einen Nulldurchgang besitzt, verändert. Diese Verschiebung des Arbeitspunkts des FDL ermöglicht eine Feinjustierung der effektiven Schwellen in jeder Matrixzelle.

Die minimale detektierbare Ladung ist definiert als die kleinste Ladungseinheit, welche alle Matrixzellen auflösen können, wenn die Schwellenspannung knapp über der Rauschschwelle eingestellt ist. Die minimale detektierbare Ladung entspricht für die gesamte Matrix ungefähr 1600 Elementarladungen. Nach einer Feinjustierung der effektiven Schwelle in jeder Matrixzelle beträgt die minimale detektierbare Ladung ungefähr 650 Elementarladungen (Llopart u. a., 2007).

### 2.3 Digitale Verarbeitung der Signale

Das Ausgangssignal des Diskriminators wechselt nun lediglich zwischen zwei Spannungswerten. Somit kann dieses Signal für eine digitale Weiterverarbeitung mit Logikgattern verwendet werden. Die digitale Verarbeitung des Diskriminatorsignals in jeder Matrixzelle dient dazu, die Informationen aus diesem Signal dem Datenerfassungssystem leicht zugänglich zu machen. In Abbildung 2.7 ist der schematische Aufbau des digitalen Blocks einer Matrixzelle dargestellt.

Das Diskriminatorsignal und ein externes Maskensignal werden an ein UND-Gatter angeschlossen. Wird das Maskensignal auf logisch Null gesetzt, wird das Diskriminatorsignal vom digitalen Block getrennt. Dadurch lässt sich das Zählen in einzelnen Matrixzellen individuell an- und ausschalten.

Der Ausgang des UND-Gatters wird an die TimePix-Synchronisationslogikschaltung (TSL) weiterge-

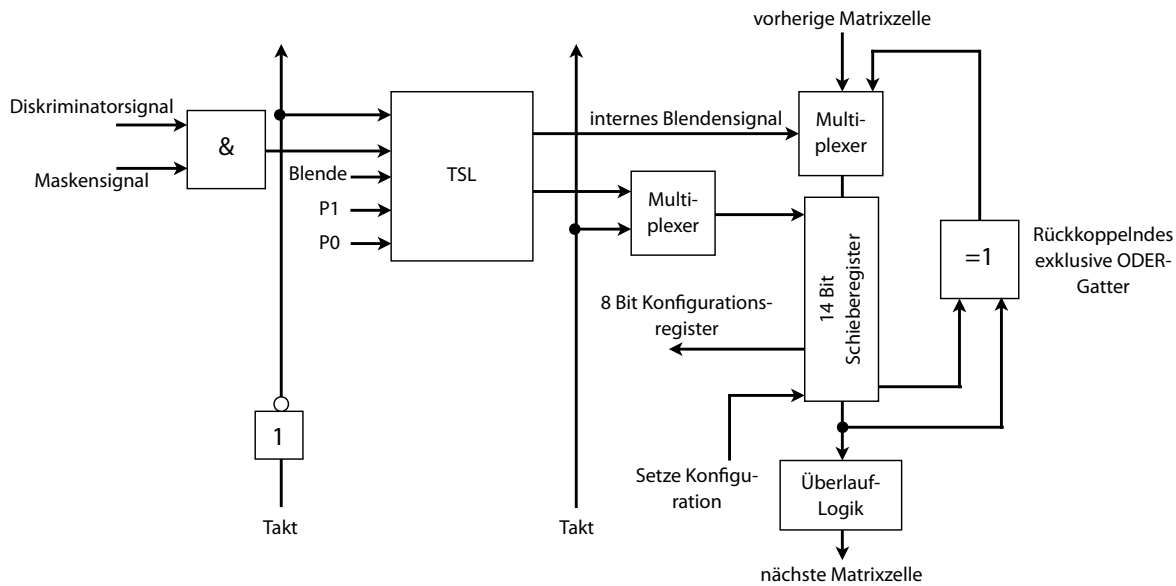


Abbildung 2.7: Schema der digitalen Sektion einer Matrixzelle in Anlehnung an Llopart (2006)

leitet. An dieses wird zusätzlich ein externes Blendensignal<sup>8</sup>, je zwei Konfigurationssignale  $P0$  und  $P1$  und ein globales Taktsignal angelegt. Die maximale Taktfrequenz  $\nu_{\text{Takt}}$ , mit der der TimePix-Chip betrieben werden kann, beträgt  $\nu_{\text{Takt}} = 100 \text{ MHz}$  (Llopart, 2006; Llopart u. a., 2007). Die Information am Ausgang der TSL wird anschließend in ein 14 bit breites Schieberegister weitergeleitet.

### 2.3.1 TimePix-Synchronisationslogikschaltung

In Abhängigkeit von den beiden Konfigurationssignalen  $P0$  und  $P1$  synchronisiert die TSL das ungefähr rechteckförmige Signal vom Diskriminator und das Blendensignal mit dem Taktsignal (Abbildung 2.8). Die Verarbeitung in der TSL findet erst statt, wenn das Diskriminatorsignal auf einem hohen Pegel liegt und durch das Blendensignal ein definiertes Zeitfenster geöffnet wird. Das Blendensignal muss dafür auf einem niedrigen Pegel (logisch Null) liegen. Erst dann wird das interne Schieberegister der Matrixzelle je nach eingestellten Konfigurationssignalen mit dem Takt inkrementiert<sup>9</sup>. Das Blendensignal wird bei einer logischen Eins nicht gesetzt<sup>10</sup> (negative Logik).

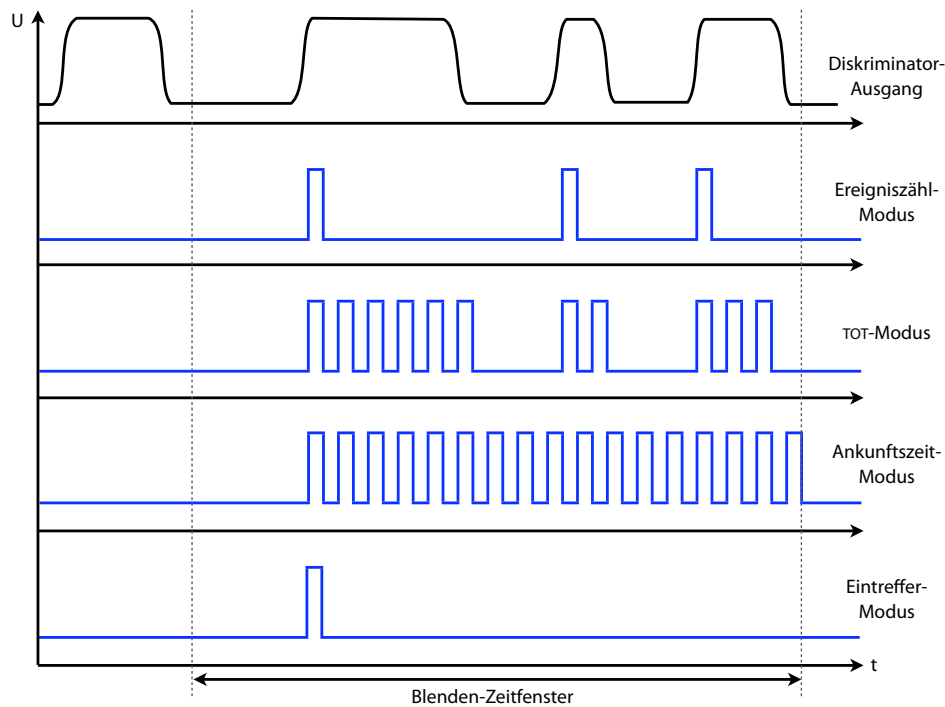
Der TimePix-Chip kann in vier verschiedenen Betriebsmodi betrieben werden:

**Ereigniszähl-Modus:** In diesem Modus wird der Zählstand des Schieberegisters jedes Mal um Eins erhöht, wenn das Diskriminatorsignal auf einen hohen Pegel wechselt. Während die Blende geöffnet ist, wird in diesem Modus die Anzahl der Ladungspulse gemessen. Beim Betrieb mit einem Halbleiterdetektor kann somit auf die Photonenzählrate geschlossen werden.

<sup>8</sup>engl. Shutter.

<sup>9</sup>Zur Vereinfachung wird im Folgenden dieser Zustand als Öffnen der Blende bezeichnet.

<sup>10</sup>Dieser Zustand wird im Folgenden als Schließen der Blende bezeichnet.



**Abbildung 2.8:** Funktionsprinzip der Signalverarbeitung des Diskriminatorsignals durch die vier Betriebsmodi der TSL in Anlehnung an Ummerhofer (2008)

**TOT-Modus:** Die TSL inkrementiert den Zähler für die Dauer, während der sich das Diskriminatorsignal auf einem hohen Pegel befindet<sup>11</sup>. Aus dem Zählstand und der Taktfrequenz lässt sich ein Zeitwert bestimmen. In diesem Modus wird die Zeitdauer, während der das Verstärkersignal bei geöffneter Blende über der Schwelle lag, gemessen. Die Zeitdauer ist proportional zu der Höhe der Eingangspulses und damit der deponierten Ladungsmenge pro Matrixzelle (Ummerhofer, 2008).

**Eintreffer-Modus:** In der Zeit, während der die Blende geöffnet ist, erhöht das erste Verstärkersignal über der Schwelle das Schieberegister um Eins. Jedes weitere Signal in diesem Zeitfenster wird ignoriert.

**Ankunftszeit-Modus:** Sobald der Pegel des Diskriminatorsignals zum ersten Mal zur logischen Eins innerhalb der geöffneten Blende wechselt, inkrementiert die TSL das Schieberegister mit dem Takt. Das Zählen wird erst durch das Ende des Blendensignals gestoppt. Aus der Kenntnis der Taktfrequenz kann damit eine Zeitmessung vorgenommen werden. In Referenz zum externen Blendensignal mit definierter Länge kann so die Ankunftszeit des Pulses ermittelt werden. Bei der maximalen Betriebsfrequenz  $\nu_{\text{Takt}} = 100 \text{ MHz}$  ergibt sich damit eine Zeitauflösung von 10 ns.

Die beiden Konfigurationssignale  $P0$  und  $P1$  versetzen jede Matrixzelle in einen von vier Betriebsmodi. In der Tabelle 2.1 sind die vier Modi aufgelistet, die durch Setzen der Konfigurationssignale  $P0$  und  $P1$  bestimmt werden.

<sup>11</sup>TOT ist die englische Abkürzung für Time Over Threshold und bezeichnet die Zeitdauer über der Schwelle.

**Tabelle 2.1:** Die vier Betriebsmodi einer Matrixzelle

<i>P1</i>	<i>P0</i>	Betriebsmodus
0	0	Ereigniszähl-Modus
0	1	TOT-Modus
1	0	Eintreffer-Modus
1	1	Ankunftszeit-Modus

### 2.3.2 Funktion des Schieberegisters einer Matrixzelle

Das 14 bit breite Schieberegister einer jeden Matrixzelle arbeitet in Abhängigkeit vom Blendensignal auf zwei verschiedene Betriebsarten (Llopart u. a., 2007). Ist das Blendensignal nicht aktiv, kann man das 14-Bit-Register setzen und auslesen (Abschnitt 2.4.2). In dem Register werden 8 Konfigurationswerte einer Matrixzelle festgelegt. Damit lassen sich die vier Stromquellen  $I_{\text{THS}}$ ,  $I_{\text{THS}}/2$ ,  $I_{\text{THS}}/4$  und  $I_{\text{THS}}/8$  im Diskriminator zuschalten. Der Wert der Konfigurationssignale *P0* und *P1* kann gesetzt werden. Außerdem können das Testbitsignal und das Maskensignal an- und abgeschaltet werden.

Ist das Blendensignal aktiv, wird das Schieberegister zum linear rückgekoppelten Schieberegister und dient als Zähler für die TSL. Die Ausgänge des höchstwertigen Bits<sup>12</sup> und des niedrigstwertigen Bits<sup>13</sup> werden dabei über ein Exklusiv-ODER-Gatter an den Eingang des niedrigstwertigen Bits rückgekoppelt. Der maximale Zählstand kann mit dieser Technik 11810 betragen<sup>14</sup>.

## 2.4 Steuerung des TimePix-Chips über die Ein- und Ausgabereinheit

Zur Bedienung des TimePix-Chips mit einem Datenerfassungssystem ist die Kenntnis über sein Steuerprotokoll notwendig. Dieses wird in diesem Abschnitt beschrieben.

Alle Ein- und Ausgabepoperationen, die den Chip steuern, sowie die Register der Matrix setzen und auslesen, finden in der Peripherie statt. Der schematische Aufbau der Peripherie ist in Abbildung 2.9 dargestellt. Das Einlesen der Daten in den Chip bzw. das Auslesen der Daten kann entweder über die CMOS-Ein-/Ausgabelogikschaltung oder über die beiden LVDS-Treiber<sup>15</sup> erfolgen.

Über die CMOS-Ein-/Ausgabelogikschaltung werden hauptsächlich Signale eingelesen, die sich auf den ganzen Chip auswirken oder die ein schnelles Umschalten im Chip bewirken sollen. Auf diese Weise werden unter anderem das Blendensignal, die Polarität oder das Signal zum Zurücksetzen<sup>16</sup> des Chips in den Anfangszustand übertragen.

Über die LVDS-Treiber können serielle Datenströme ein- bzw. ausgelesen werden. Die Datenströme werden in ein 256 bit breites schnelles Schieberegister (FSR)<sup>17</sup> eingelesen. Die 14-Bit-Schieberegister der Matrixzellen können nun über das FSR angesteuert werden. Zu diesem Zweck werden die

<sup>12</sup>engl. most significant bit (MSB).

<sup>13</sup>engl. least significant bit (LSB).

<sup>14</sup>Das entspricht der maximalen Periodenlänge. Würde der Vorgang vorgesetzt werden, wäre der Inhalt identisch mit dem Inhalt im Ausgangszustand und die Zählwerte wären nicht mehr eindeutig. Siehe auch Llopart (2006).

<sup>15</sup>engl. Abkürzung für Low Voltage Differential Signaling. LVDS beschreibt eine standardisierte Schnittstellen für eine Hochgeschwindigkeitsdatenübertragung.

<sup>16</sup>engl. Reset.

<sup>17</sup>engl. Fast Shift Register.

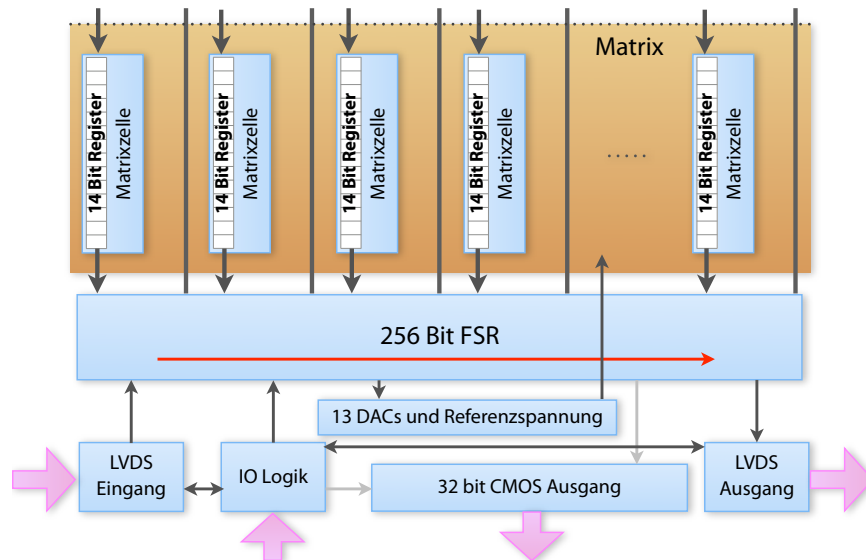


Abbildung 2.9: Schematische Darstellung der Peripherie des TimePix-Chips in Anlehnung an Llopart (2006)

14-Bit-Register benachbarter Matrixzellen in einer Matrixspalte über Multiplexer zu einem einzigen  $256 \cdot 14 \text{ bit} = 3584 \text{ bit}$  breiten Schieberegister verschaltet (Abbildungen 2.2 und 2.7). Die Daten aus dem FSR werden somit spaltenweise in die Schieberegister der Matrix geschrieben. Vice versa verläuft das Auslesen der Daten: Jedes Spaltenregisterschiebt bitweise seinen Inhalt in das FSR. Dabei erhält das 256 bit breite FSR parallel von allen 256 Spaltenregistern seinen Inhalt. Nach 256 Taktzyklen ist der Inhalt des FSR ausgelesen und der Prozess, dass alle 256 Spaltenregister je ein Bit ihres Inhalts in das FSR schieben, wird wiederholt, bis die gesamte Matrix ausgelesen ist. Auf diese Weise lassen sich die Strom- und Spannungsquellen des Chips steuern oder die Matrix ein- bzw. auslesen.

Damit die Interpretation der FSR-Daten richtig erfolgt, gibt es zusätzlich zwei CMOS-Steuerleitungen ( $M0$  und  $M1$ ), die den Chip in die verschiedenen Betriebszustände versetzen (Tabelle 2.2).

Tabelle 2.2: Die Betriebszustände des TimePix-Chips

$M0$	$M1$	Operation
0	0	Auslesen der Matrix
0	1	Setzen der Matrix
1	0	Steuerung der Strom-/Spannungsquellen
1	1	Zählmodus

Die Matrix-Auslese ist auch über den 32 bit breiten CMOS-Ausgang möglich. Für eine Hochgeschwindigkeitsdatenübertragung ist aber die serielle Auslese mittels LVDS vorzuziehen. LVDS arbeitet mit geringeren Spannungspegeln als CMOS, weswegen die Verlustleistung durch Abstrahlung von elektromagnetischer Strahlung, bedingt durch die auftretenden schnellen Spannungsänderungen, minimiert wird. Durch die differentielle Signalführung wird zudem die Stömpfindlichkeit reduziert (Nat, 2008; Huq u. Goldie, 1998).



### 2.4.1 Steuerung der Strom- und Spannungsquellen des TimePix-Chips

Wie anfangs erwähnt, geschieht die globale Kontrolle der Strom- und Spannungsquellen des Chips über das 256 bit breite FSR. Dieses dient der Steuerung von 13 Digital-Analog-Umsetzern (DAC)<sup>18</sup>. Je acht von ihnen steuern Stromquellen, die restlichen fünf DACs steuern Spannungsquellen. Diese dienen zur globalen Einstellung der Arbeitspunkte der Vorverstärker und Diskriminatoren in den Matrixzellen. Unter anderem werden auf diese Weise auch die globale Schwellenspannung  $U_{\text{THL}}$  und der individuelle Schwellenkorrekturstrom  $I_{\text{THS}}$  gesetzt.

Die analoge Ausgabespannung jedes einzelnen der 13 Digital-Analog-Umsetzer kann ausgelesen und kontrolliert werden. Mit einem 4 bit langen Identifikationswert, der ins FSR geschrieben wird, kann ein einzelner DAC angesprochen werden. Durch Setzen eines Steuerbits im FSR kann die Spannung des DACs an dem Signalausgang des TimePix-Chips freigegeben werden.

Falls die globalen Parameter des Chips neu gesetzt werden, muss dafür das FSR neu beschrieben werden. Für das Beschreiben bzw. Auslesen des FSRs werden  $256 + 8$  Taktzyklen benötigt. Die zusätzlichen 8 Taktzyklen sind aufgrund eines angeschlossenen 8 bit langen Registers notwendig.

Wurde der Chip in den Anfangszustand zurückgesetzt, wird der Inhalt eines statischen 24-Bit-Registers, das die Identifikationsnummer des Chips enthält, in das FSR geschrieben. Beim anschließenden Setzen des FSR kann diese Identifikationsnummer simultan ausgelesen werden.

### 2.4.2 Lese- und Schreiboperationen der Matrix

Beim Setzen der Matrix wird das 14-Bit-Schieberegister jeder Matrixzelle beschrieben. Dadurch können die 8 Konfigurationswerte eingestellt werden (Abschnitt 2.3.2). Die verbleibenden 6 Bits des Schieberegisters müssen ebenfalls beschrieben werden, erfüllen aber keine Steuerfunktion.

Beim Auslesen der Matrix wird der Inhalt des 14 bit breiten Schieberegisters jeder Matrixzelle übertragen. Wurde vor der Operation die Blende geöffnet, kann somit der Zählstand des linear rückgekoppelten Schieberegisters ausgelesen werden. War die Blende zwischen Auslese und Setzen der Matrix nicht geöffnet, wird einfach der Inhalt des Schieberegisters ausgegeben. Die Kommunikation mit dem TimePix-Chip funktioniert korrekt, wenn der ausgegebene Inhalt und die zuvor gesetzten Werte identisch sind.

Nach jedem Auslesen der Matrix werden die Schieberegister mit Einsen gefüllt. Daher sollte vor jedem Zählmodus die Matrix ausgelesen werden, damit alle Schieberegister sich in einem definierten Ausgangszustand befinden.

Wie anfangs erwähnt, wird bei jeder Schreib- bzw. Leseoperation der Inhalt des 14 bit breiten Registers einer Matrixzelle spaltenweise durch jedes der zusammengeschalteten 3584-Bit-Register geschoben. Damit dauern die Matrixoperationen insgesamt  $8 + 256 \cdot 3584 + 256 = 917\,768$  Taktzyklen. Acht Taktzyklen ergeben sich aus dem angeschlossenen 8-Bit-Register, die zusätzlichen 256 Takte dienen der Synchronisation. Um einen einzigen Parameter zu ändern, muss die gesamte Matrix vollständig neu beschrieben werden.

Betreibt man den TimePix-Chip mit der maximalen Frequenz von  $\nu_{\text{Takt}} = 100$  MHz, kann die Matrix in weniger als 10 ms beschrieben bzw. ausgelesen werden. Über den 32 bit breiten CMOS-Ausgang ließe sich die Matrix bei der Frequenz sogar in weniger als 300  $\mu\text{s}$  auslesen (Llopert u. a., 2007).

---

<sup>18</sup>engl. digital-to-analog converter.

### 2.4.3 Einkopplung von Testpulsen in den TimePix-Chip

Jede Matrixzelle lässt sich durch Einkoppelung eines Testpulses testen. Damit die Funktionalität aktiviert wird, müssen an drei Stellen verschiedene Steuersignale gesetzt werden. Über den CMOS-Eingang muss ein Testbetrieb-Signal gesendet werden, damit der gesamte Chip in den Testbetriebszustand versetzt wird.

Beim Setzen der DAC-Werte im FSR muss auch das Spalten-Testpuls-Register<sup>19</sup>, das 32 bit im FSR belegt, gesetzt werden. Jedes Bit kontrolliert dabei acht Spalten der Matrix. Dadurch können die Leitungen der unterschiedlichen Spalten selektiv aktiviert werden. Außerdem muss in jeder Matrixzelle das Testbitsignal gesetzt werden. Dieses wird beim Setzen der Matrix angesteuert.

#### Zusammenfassung

In diesem Kapitel wurde der Aufbau des TimePix-Chips beschrieben. Dabei wurden die beiden wesentlichen Teile des TimePix-Chips vorgestellt: Die Matrix und die Peripherie. Die knapp 2 cm<sup>2</sup> große Matrixfläche beinhaltet 65 536 Matrixzellen, in denen in analoger und digitaler Arbeitsweise die erfassten Ladungsimpulse verarbeitet werden. Mit Hilfe von drei Betriebsmodi lässt sich die Driftzeit und die Ladung der Teilchen in der TPC messen. Zudem ist eine Messung der Anzahl der Ereignisse möglich. Der TimePix-Chip erfüllt damit auch die Anforderungen an die Orts- und Zeitauflösung (Zimmermann, 2008; Krautscheid, 2008).

Die gesamte Kommunikation zwischen dem Auslesesystem und dem TimePix-Chip erfolgt über die Peripherie. Sie ermöglicht neben der Steuerung der Matrixzellen auch das Setzen und Auslesen der Inhalte der Register in den Matrixzellen.

---

<sup>19</sup>engl. Column Test Pulse Register (CTPR).

## 3 Technische Grundlagen

Die Entwicklung eines Auslesesystems für den TimePix-Chip ist auf viele technische Elemente angewiesen. Die bei der Beschreibung dieses Systems grundlegenden technischen Elemente und Begriffe sollen daher in diesem Kapitel erläutert werden.

Es werden konfigurierbare integrierte Schaltkreise präsentiert, welche die Grundlage für den Aufbau des Datensystems bilden werden. Zum Erstellen dieser Schaltungsstrukturen innerhalb der Schaltkreise werden Beschreibungssprachen benötigt, die ebenfalls vorgestellt werden sollen.

Ein weiterer wichtiger Punkt besteht in der Datenübertragung über Netzwerke. Der Schwerpunkt liegt dabei auf Gigabit-Ethernet, welches vom Auslesesystem verwendet wird. Das bei der Netzwerkkommunikation notwendige Verständnis der Netzwerkschichten und Netzwerkprotokolle wird ebenfalls kurz beschrieben.

### 3.1 Konfigurierbare Logik

Als Alternative zur teuren Auftragsfertigung von festgelegten Schaltungen durch Halbleiterhersteller gestatten konfigurierbare integrierte Schaltkreise eine preiswerte und flexible Fertigung von komplexen Systemen. Gegenüber anwendungsspezifischen integrierten Schaltungen (ASIC) haben in den letzten Jahren die digitalen und rekonfigurierbaren Schaltkreise stark an Bedeutung gewonnen.

#### 3.1.1 Programmierbarer integrierter Schaltkreis (FPGA)

Ein programmierbarer, integrierter Schaltkreis (FPGA)<sup>1</sup> ist ein Baustein mit einzelnen logischen Schaltblöcken, welche miteinander verdrahtet sein können. Die Funktion einzelner Blöcke und deren Verdrahtung kann konfiguriert werden, so dass im FPGA verschiedene Schaltungen realisiert werden können. FPGAs ermöglichen eine nachträgliche Verbesserung der implementierten Funktionen durch eine flexible Änderung der Schaltung.

FPGAs bestehen aus vielen bistabilen Multivibratoren<sup>2</sup> mit davor geschalteten Logikelementen, welche in logischen Blöcken (CLB)<sup>3</sup> zusammengefasst sind. Diese Logikelemente sind Verschaltungen verschiedener Logikgatter oder Nachschlagetabellen (LUT)<sup>4</sup>, die beliebige kombinatorische Funktionen aus den Eingangssignalen realisieren. Die bistabilen Multivibratoren dienen zur Zwischenspeicherung der Signalwerte, damit diese im nächsten Takt weiterverarbeitet werden können.

Die CLBs sind über Schaltmatrizen mit einer allgemeinen Leitmatrix verbunden, so dass eine Verbindung der einzelnen CLBs untereinander möglich wird. Dadurch lassen sich komplexe logische Schaltungen erzeugen.

---

<sup>1</sup>engl. Field Programmable Gate Array.

<sup>2</sup>engl. flip-flop.

<sup>3</sup>engl. Configurable Logic Blocks.

<sup>4</sup>engl. lookup table.

Die logischen Schalter zur Verbindung der CLBs und die Speicher innerhalb derselben sind in der Regel flüchtige Speicherzellen, deren gespeicherte Information bei Abschaltung der Betriebsspannung verloren geht. Daher müssen die Konfigurationsdaten bzw. Verknüpfungsregeln vor jedem Einsatz des FPGAS neu geladen werden.

FPGAS unterstützen eine Vielzahl von Signalstandards an ihren Ein- und Ausgabeanschlüssen. Üblich sind verschiedene TTL<sup>5</sup>-Pegel, verschiedene CMOS-Pegel und differentielle Signalstandards, wie zum Beispiel LVDS. Weitere Eigenschaften wie Treiberstärke<sup>6</sup> und Flankensteilheit sind häufig für jeden benutzerdefinierbaren Anschluss<sup>7</sup> einstellbar. Die äußeren Anschlüsse sind meist zu Bänken gleichen Standards zusammengefasst.

Zur Erzeugung eines Taktsignals auf dem FPGA sind in den meisten Fällen Blöcke mit analogen Phasenregelschleifen (PLL)<sup>8</sup> oder digital regelbaren Verzögerungskettenschaltungen (DLL)<sup>9</sup> integriert. Aus einem Referenztaktsignal lassen sich mit Hilfe der PLLs bzw. DLLs stabile in der Frequenz variable Taktsignale mit fester Phasenbeziehung erzeugen.

Daneben können auf dem FPGA komplexere Blöcke wie Multiplizierer, Blockspeicher<sup>10</sup> und teilweise sogar Mikroprozessoren untergebracht sein.

Neben den FPGAS bilden die CPLDs<sup>11</sup> eine weitere Gruppe von programmierbaren Logikbausteinen. Im Unterschied zu den FPGAS besitzen die CPLDs eine einfachere Struktur und eine vergleichsweise geringere Anzahl an bistabilen Multivibratoren. CPLDs beinhalten nur eine konfigurierbare Schaltmatrix, welche eine einfache Verknüpfungen der Ein- und Ausgänge erlaubt. Durch ihren homogenen Aufbau ist eine exakte Bestimmung der Signaldurchlaufzeiten<sup>12</sup> möglich (Schwarz, 2009; Fpga4fun, 2009; Xil, 2009c).

In dieser Arbeit wurde für die Entwicklung des Datenerfassungssystems der Virtex-5, ein FPGA der Firma Xilinx, verwendet. Der Virtex-5, welcher in der Version XC5VSX50T vorlag, bietet insgesamt 480 nutzbare Ein- und Ausgänge. Dieser FPGA beinhaltet 4 080 CLBs mit je 32 640 bistabilen Multivibratoren und je 32 640 LUTs (Xil, 2009c). Zur Erzeugung der Taktsignale stehen insgesamt 6 PLL und 12 DLL zur Verfügung.

Die Ein- und Ausgänge können sowohl differentiell oder in CMOS bzw. TTL Standard betrieben werden. Des Weiteren lassen sich die Eingänge in Schritten von 78 ps um bis zu maximal 5 ns verzögern (Xil, 2009b,e).

Der Virtex-5 befindet sich auf einer Entwicklungsplatine von Xilinx, um den FPGA für die Experimente zu nutzen (Xil, 2008a,b). Das Model XC5VSX50T enthält außerdem einen Mikrosteuerbaustein, der den Betrieb des Ethernet mit je drei Datenübertragungsraten<sup>13</sup> ermöglicht und mit dem Ethernet-Anschluss auf der Platine verbunden ist (Xil, 2009d,b). Die Entwicklungsplatine wird in Abschnitt 4.3.2 ausführlicher beschrieben.

---

<sup>5</sup>Transistor-Transistor-Logik.

<sup>6</sup>Die Treiberstärke bezeichnet den maximalen Strom, der bei einem logischen Pegel fließen darf.

<sup>7</sup>engl. Pin.

<sup>8</sup>engl. Phase-locked loop.

<sup>9</sup>engl. Delay-Locked Loop.

<sup>10</sup>engl. Random-access memory.

<sup>11</sup>engl. Complex Programmable Logic Device.

<sup>12</sup>engl. timing constraints.

<sup>13</sup>Es sind Datenübertragungsraten von 10 Mbit/s = 10 · 10<sup>6</sup> bit/s, 100 Mbit/s und 1 Gbit/s möglich.

### 3.1.2 Beschreibungssprachen der Schaltungstrukturen im FPGA

Zur Konfiguration des FPGAs können mit Hilfe von Beschreibungssprachen oder in Form von Schaltplänen die Schaltungsstrukturen erzeugt und in den FPGA übertragen werden. Bekannte Beschreibungssprachen sind Verilog und die *Very High Speed Integrated Circuit Hardware Description Language* (VHDL). Während Verilog vornehmlich auf dem amerikanischen Kontinent verbreitet ist, wird in Europa und Japan vorwiegend VHDL zum Beschreiben des Verhaltens von digitalen Schaltkreisen verwendet. Aus den in Textform verfassten Beschreibungssprachen lassen sich Daten für die Konfiguration der Logikbausteine (Synthese) gewinnen, sowie Simulationen durchführen. Dabei muss beachtet werden, dass nicht jedes syntaktisch und logisch fehlerfrei geschriebene VHDL-Programm, welches simuliert werden kann, auch tatsächlich im Baustein lauffähig ist<sup>14</sup>.

Im Gegensatz zu dem sequenziellen Ablauf einer Programmiersprache, werden mit VHDL die im Wesentlichen parallel arbeitenden Strukturen beschrieben. Mit VHDL ist eine logische und funktionelle Beschreibung der Architektur und des Zeitverlaufs möglich. Durch die Standardisierung der Architektur, die Entkopplung von applikationsorientierter Beschreibung und eine Unterstützung des Modulkonzepts können beschriebene Schaltungen wiederverwendet oder ausgetauscht werden (Ritter u. Molitor, 2004; Holisch, 2003; Perry, 2002; Naroska u. a., 2007).

### 3.1.3 Entwicklungswerkzeuge

Im Rahmen der Diplomarbeit wurde für die Entwicklung und Simulation der VHDL-Programme eine Entwicklungsumgebung der Firma Xilinx verwendet (Xil, 2008d). Die Entwicklungsumgebung enthält neben einem VHDL-Editor auch die notwendigen Werkzeuge, um das Programm zu synthetisieren bzw. zu simulieren.

Für die Synthese des Programms müssen der Entwicklungsumgebung die Baustein-Spezifikationen übergeben werden. In einer separaten Datei wird das Ein- und Ausgabe-Verhalten mit Hilfe von Anschlussbedingungen festgelegt. Auch genaue Signaldurchlaufzeiten können hier vorgeschrieben werden. Aus den Informationen erfolgt die Implementierung der Logik auf den jeweiligen Baustein. Diese wird aus einer binären Datei in den FPGA geladen.

Die Entwicklungsumgebung ermöglicht ebenfalls eine Simulation des VHDL-Programms. Dabei können sowohl das rein logische Verhalten simuliert werden, als auch eine für die spezielle Implementierung angepasste Simulation durchgeführt werden, welche die auftretenden Signallaufzeiten und Verzögerungen berücksichtigen kann.

## 3.2 Datenübertragung über Netzwerke

Die Kommunikation zwischen einzelnen elektronischen Systemen wie zum Beispiel Rechnern erfolgt durch einen Zusammenschluss dieser Systeme, welcher als Netzwerk bezeichnet wird. Die Datenübertragung erfolgt dabei über verschiedene Netzwerkprotokolle, die mittels eines Schichtenmodells struk-

---

<sup>14</sup>VHDL enthält Konstrukte, die sich simulieren, aber nicht in eine Netzliste, also den Schaltplan der elektrischen Verbindung zwischen den Bauelementen, übersetzen lassen. Bei der Herstellung eines lauffähigen VHDL-Programms muss daher bewusst auf große Teile der Sprachmöglichkeiten von VHDL verzichtet werden und es müssen die genauen Eigenschaften der eingesetzten Bauelemente bekannt sein.

turiert sind. Dieser Abschnitt soll eine kurze Zusammenfassung über die Datenübertragung in Netzwerken geben, welche für das Verständnis des Auslesesystems für den TimePix-Chip notwendig ist.

#### 3.2.1 Netzwerkschichtenmodell

Die verschiedenen Aufgaben bei der Datenübertragung zwischen Geräten kann in aufeinander aufbauenden funktionalen Ebenen, so genannten Schichten, unterteilt werden. Für jede Schicht existiert eine Beschreibung, die vorschreibt, was diese Schicht zu leisten hat. Diese Anforderungen werden von Netzwerkprotokollen realisiert, von denen einige in Abschnitt 3.2.3 beschrieben werden. Das Schichtenmodell ist somit ein Strukturierungsprinzip mit einer Abhängigkeitsbeziehungen zwischen den Schichten.

Es existieren mehrere Schichtenmodelle wie zum Beispiel das OSI<sup>15</sup>-Schichtenmodell, welches von der Internationale Organisation für Normung (ISO)<sup>16</sup> standardisiert ist (Osi, 1994; Zimmermann, 1980) oder das DoD<sup>17</sup>-Schichtenmodell, welches vom Verteidigungsministerium der Vereinigten Staaten entwickelt wurde. Den Schichtenmodellen ist gemeinsam, dass Protokolle höherer Schichten nur Dienste aus den Protokollen der tieferen Schichten verwenden dürfen.

Je nach Schichtenmodell ist die Anzahl und die Bezeichnung der Schichten unterschiedlich. Das sehr stark verbreitete DoD-Schichtenmodell besitzt zum Beispiel vier Ebenen. Die höchste Schicht wird als Prozessschicht bezeichnet, darauf folgt die Transportschicht, dann die Vermittlungsschicht. Die tiefste Schicht ist die Netzzugangsschicht.

Die Prozessschicht definiert die eigentliche Nachricht, welche aus den Nutzdaten besteht. Vor diese Nutzdaten werden so genannte Kopfdaten angehängt. Jedes Protokoll einer Ebene fügt beim Versenden der Daten einen Paketkopf, welcher Informationen enthält, die beim Empfänger auf der gleichen Ebene ausgewertet werden. Ein Beispiel für den Paketaufbau zeigt die Abbildung 4.5.

Die Transportschicht ermöglicht den Transport von Daten zwischen zwei Prozessen auf verschiedenen Rechnern. Das Protokoll dieser Schicht gibt an, welches laufende Programm auf dem Zielrechner die Datenpakete erhalten soll.

Die Vermittlungsschicht ist für eine netzwerkweite Adressierung der Datenpakete zuständig. Jedem Rechner wird dabei eine Netzwerkadresse zugewiesen, welche nach logischen Aspekten vergeben wird.

Die Netzzugangsschicht ist für die eigentliche Datenübertragung von direkt miteinander verbundenen Rechnern zuständig. Auf dieser Ebene wird das Übertragungsmedium, die Kodierung und das Zugriffsprotokoll festgelegt.

#### 3.2.2 Gigabit-Ethernet

Eine Möglichkeit der kabelgebundenen Datenübertragung in lokalen Datennetzen ist über das Ethernet-Protokoll standardisiert. Über Ethernet ist der Datenaustausch zwischen angeschlossenen Geräten mit Übertragungsraten zwischen  $10 \cdot 10^6$  bit/s und  $10 \cdot 10^9$  bit/s möglich. Der Datenaustausch bei einer Rate von  $1 \cdot 10^9$  bit/s wird als Gigabit-Ethernet bezeichnet und ist von der IEEE<sup>18</sup> standardisiert (Ethernet, 2008).

Ein Ethernet-Paket ist grundsätzlich aus einer Präambel und dem Ethernet-Rahmen aufgebaut. In Abbildung 3.1 ist dieser Aufbau dargestellt und wird im Folgenden beschrieben. Die Präambel besteht

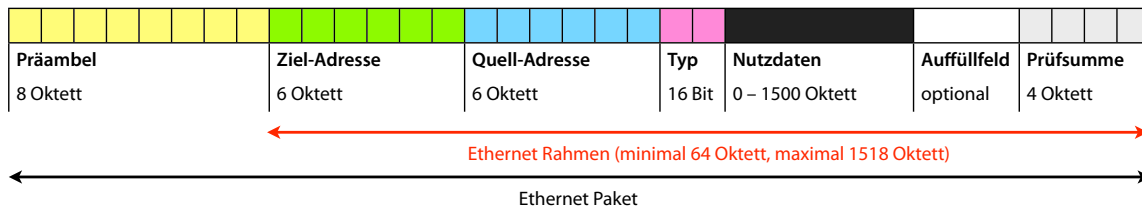
---

<sup>15</sup>engl. Open Systems Interconnection.

<sup>16</sup>von griechisch ἴσος (isos).

<sup>17</sup>Department of Defense.

<sup>18</sup>Institute of Electrical and Electronics Engineers.



**Abbildung 3.1:** Ethernet-Datenblockformat. Die einzelnen Daten werden in aufsteigender Oktett-Reihenfolge verschickt. Grundsätzlich werden die binären Daten seriell übertragen, beginnend mit dem niedrigstwertigen Bit eines Oktetts.

aus einem alternierenden Bitmuster, das der Synchronisation der Netzwerkgeräte dient. Die eigentlichen Informationen befinden sich im Ethernet-Rahmen. Dieses besteht aus einer Ziel- und Quelladresse, welche den Empfänger und den Sender identifizieren. Jede der Adressen nimmt eine Länge von  $48 \text{ bit} = 6 \text{ Oktett}$ <sup>19</sup> ein.

Auf die Angabe der Adressen folgt das Typ-Feld, welches Auskunft über das verwendete Protokoll der nächsthöheren Schicht innerhalb der anschließenden Nutzdaten angibt. Die Nutzdaten können 0 Oktett bis 1500 Oktett groß sein. Der Ethernet-Rahmen muss mindestens 64 Oktett und maximal 1518 Oktett groß sein. Falls die Nutzdaten weniger als 46 Oktett betragen, wird ein optionales Auffüllfeld übertragen, um die erforderliche Minimallänge zu gewährleisten. Aus den Daten im Ethernet-Rahmen wird eine 32 bit lange Prüfsumme berechnet und an das Ende des Ethernet-Rahmens angehängt.

Die Übertragung des Ethernet-Pakets erfolgt zum Beispiel über Gigabit-Ethernet. Von den verschiedenen Kodiervarianten wurde in dieser Arbeit nur Gigabit-Ethernet über Kupferkabel genutzt, welches als 1000Base-T im IEEE 802.3 Standard beschrieben ist. Dabei wird der Datenstrom in vier differentielle Teilströme unterteilt, die jeweils mit fünf Amplitudenstufen pulsamplitudenmoduliert und zusätzlich durch eine Trellis-Kodierung in ihrer Bandbreite geformt werden (Haratsch u. Azadet, 2001). Bei einer Übertragungsbandbreite der Kabel von  $f = 62,5 \text{ MHz}$  ist damit eine Symbolrate von  $125 \cdot 10^6 \text{ Symbolen/s}$  pro Adernpaar möglich. Unter Berücksichtigung des Modulationsverfahrens, welches pro Symbol zwei Bits überträgt, wird damit eine Datenübertragung von  $125 \cdot 10^6 \frac{\text{Symbole}}{\text{s}} \cdot 2 \frac{\text{bit}}{\text{Symbol}} \cdot 4 = 10^9 \frac{\text{bit}}{\text{s}}$  erreicht.

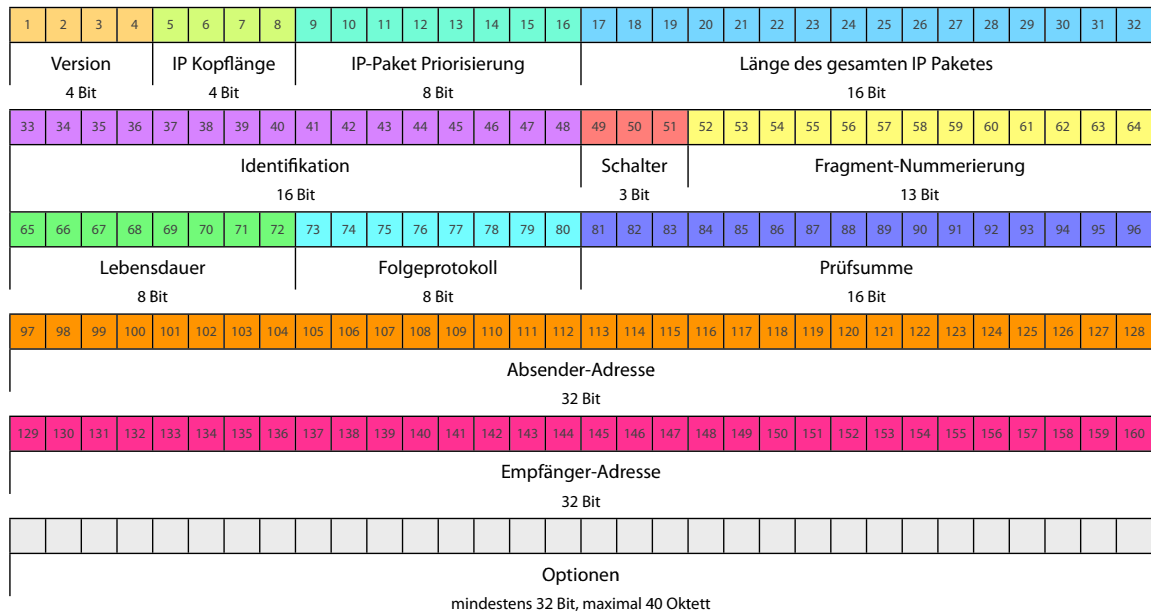
### 3.2.3 Netzwerkprotokolle

Netzwerkprotokolle regeln über syntaktische Vorschriften, wie Daten zwischen Prozessen, die durch ein Netz verbunden sind, ausgetauscht werden. Informationen werden in der Regel über mehrere Protokolle, die unterschiedliche Aufgaben übernehmen, transferiert. Die einzelnen Protokolle können in Schichten organisiert werden.

Die Protokolle beschreiben den Aufbau eines Datenpakets für den Datenaustausch. Das Paket muss Informationen über den Absender und Empfänger, den Typ, sowie die Länge des Pakets und gegebenenfalls eine Prüfsumme enthalten. Diese Informationen können als Kopf<sup>20</sup> den Nutzdaten zeitlich voran-

<sup>19</sup>Ein Oktett ist eine Bezeichnung für ein Tupel von 8 Bit nach DIN EN 80000-13.

<sup>20</sup>engl. Header.



**Abbildung 3.2:** Aufbau des Kopfdatenbereichs eines IP-Paketes. Die einzelnen Zahlen in den Kästchen geben die Bitposition wieder. Die Daten werden in aufsteigender Bit-Reihenfolge gesendet. Die Bitpositionen sind zu mehreren Bereichen zusammengefasst, welche unterschiedliche Bedeutungen und Funktionen besitzen.

gestellt oder als Nachsatz<sup>21</sup> den Daten zeitlich angehängt werden. Ein solches Netzwerkprotokoll stellt zum Beispiel das Ethernet-Protokoll dar. Andere Protokolle höherer Schichten sind das *Internet Protocol* (IP) und das *User Datagram Protocol* (UDP). Protokolle einer höheren Schicht sind in den Nutzdaten der Protokolle einer tieferen Schicht untergebracht.

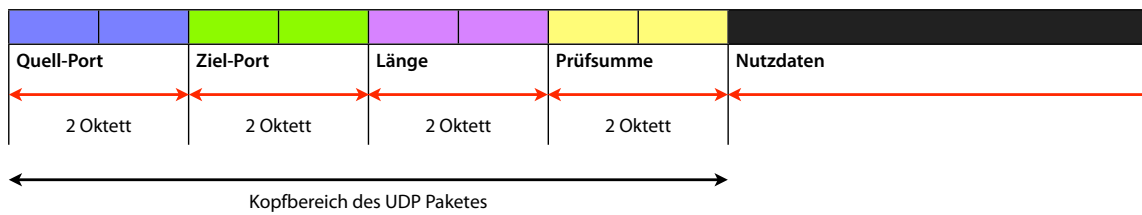
**Internet Protocol (IP)** Das *Internet Protocol* ist für die Weitervermittlung von Paketen und die Wegegwahl zuständig. Es befindet sich auf der Vermittlungsschicht und dient der Aufgabe, für ein empfangenes Paket das nächste Ziel zu ermitteln und dieses dorthin weiterzuleiten (Ramakrishnan u. a., 2001; Postel, 1981).

Der Kopf eines IP-Paketes der Version 4 ist in der Regel 20 Oktett lang. In Abbildung 3.2 ist der Aufbau des Kopfdatenbereiches eines IP-Paketes dargestellt. Es enthält die Adressen der Empfänger und Absender, die Länge des Paketes, den Typ des Folgeprotokolls, eine Prüfsumme und weitere Informationen zur Vermittlung.

**User Datagram Protocol (UDP)** Das *User Datagram Protocol* stellt einen verbindungslosen und ungesicherten Übertragungsdienst bereit. UDP-Pakete bieten sich für eine Übertragung an, bei der die Übertragungszeit und eine Minimierung der Latenzzeiten vor die Qualität der Übertragung gestellt wird (Postel, 1980). Das UDP befindet sich in der Transportschicht und dient der Aufgabe, Daten der richtigen Anwendung zukommen zu lassen.

<sup>21</sup>engl. Trailer.





**Abbildung 3.3:** Aufbau des Kopfbereichs eines UDP-Paketes, bestehend aus dem Quell-Port und dem Ziel-Port, der Paketlänge und der optionalen Prüfsumme. Die einzelnen Daten werden in aufsteigender Oktett-Reihenfolge verschickt.

Der Kopf eines UDP-Paketes ist 8 Oktett lang. In Abbildung 3.3 ist der Aufbau des Kopfbereichs eines UDP-Paketes dargestellt. Es enthält die Port-Nummern des Empfängers und optional des Absenders, die Länge des Paketes und optional eine Prüfsumme. Optionale Daten, die nicht benötigt werden, werden auf den logischen Wert Null gesetzt.

**Address Resolution Protocol (ARP)** Das *Address Resolution Protocol* (ARP) ermöglicht bei der schichtbasierten Datenübertragung eine Ermittlung der physikalischen Adresse in der Netzzugangsschicht zu einer Netzwerkadresse der Vermittlungsschicht. Diese Notwendigkeit ergibt sich aus dem Grund, weil ein Programm zur Kommunikation beispielsweise über Ethernet nur Kenntnis über die IP-Adresse und den Port des Übertragungsprotokoll aus der Transportschicht hat. Die physikalische Adresse ist dem Programm unbekannt.

In einem Netzwerk ist es von Vorteil, wenn die Programme ihre Pakete nicht direkt an einen bestimmten Rechner senden, sondern an eine abstrahierte logische Adresse auf einer höheren Netzwerkschicht. Der Zielrechner muss sich nämlich nicht im selben Netzwerk befinden, sondern kann auch in einem anderen Netzwerk sein, welches möglicherweise nicht auf Ethernet basiert. Das Zielprogramm kann zudem unter Umständen auf einem anderen Rechner ausgeführt werden, da ein Austausch des Zielrechners notwendig war. Da die physikalische Adresse theoretisch eindeutig für einen Rechner ist, würde dies ein Problem darstellen, wenn die Programme ihre Pakete direkt an die Zielrechner senden würden.

Aus diesem Grund ist auf Betriebssystemebene eine Zuordnung der IP-Adresse zu der physikalischen Adresse hinterlegt. Das Anlegen solcher Zuordnungstabellen wird über *Address Resolution Protocol* (ARP) geregelt (Plummer, 1982). Möchte ein Programm ein Paket an einen bestimmten Rechner in einem Netzwerk senden, dessen physikalische Adresse unbekannt ist, muss vorher über eine ARP-Anforderung die physikalische Adresse ermittelt werden. Dabei sendet der anfragende Rechner diese Anforderung mit seiner hinterlegten physikalischen Adresse und seiner IP-Adresse, sowie der IP-Adresse des gesuchten Zielrechners als Rundruf an alle Rechner im lokalen Netzwerk. Empfängt ein Rechner ein solches ARP-Paket, wird überprüft, ob die eigene IP-Adresse mit der hinterlegten IP-Adresse übereinstimmt. Dieser Rechner sendet dann eine ARP-Antwort zurück, in der seine physikalische Adresse hinterlegt ist<sup>22</sup>. Auf diese Weise ist beiden Rechnern die zur IP-Adresse gehörende

<sup>22</sup>Befindet sich der Zielrechner in einem anderen Netzwerk, so antworten spezielle Weiterleitungsgeräte (engl. Router bzw. Gateway) auf die ARP-Anforderung mit ihrer eigenen physikalischen Adresse, da ARP-Anforderungen prinzipiell im lokalen Netz verbleiben und nicht weitergeleitet werden. Diese Weiterleitungsgeräte verfügen über eigene Wege-Tabellen und

physikalische Adresse bekannt.

Das Betriebssystem verwaltet diese ARP-Einträge, in denen der Protokolltyp, die Protokolladresse des Senders, die physikalische Adresse des Senders und der Eintragszeitpunkt hinterlegt ist. Diese Einträge werden nur für einen bestimmten Zeitintervall behalten und danach wieder verworfen, falls sie nicht mehr genutzt werden. Diese ARP-Einträge können auch manuell gesetzt werden und werden als permanenter bzw. statischer ARP-Eintrag bezeichnet, da diese Einträge bis zum Neustart des Betriebssystems verbleiben.

---

können daher die IP-Pakete des einen Rechners an den gewünschten Zielrechner im anderen Netzwerk weiterleiten.

## 4 Entwicklung eines verbesserten Datenerfassungssystems für den TimePix-Chip

In diesem Kapitel wird das im Rahmen der Diplomarbeit entwickelte Steuerungs- und Datenerfassungssystem für den TimePix-Chip beschrieben. Es soll gezeigt werden auf welche Art und Weise die an das System gestellten Anforderungen implementiert werden. Abschnitt 4.1 erläutert die Anforderungen an das für den Betrieb benutzte System, die sich aus den Spezifikationen des TimePix-Chips ergeben. In Abschnitt 4.2 wird das bestehende Auslesesystem vorgestellt und die Notwendigkeit einer Neuentwicklung erläutert. Der Abschnitt 4.3 soll dem Verständnis des während der Diplomarbeit entwickelten Auslesesystems dienen. Hier wird das Gesamtsystem in seinem Aufbau und seiner Funktion beschrieben. Im letzten Abschnitt werden die grundlegenden Modifikationen erklärt, die zum Ausbau des Systems für den Parallelbetrieb mehrerer Chips an einem Auslesesystem notwendig sind. Dieser Ausbau ist als weiterer Schritt in der Entwicklung eines Datenerfassungssystems für die Spurdrittkammern an dem zukünftigen ILC vorgesehen.

### 4.1 Anforderungen an das Auslesesystem

Ein Steuerungs- und Datenerfassungssystem für den TimePix-Chip muss diverse Anforderungen erfüllen. Diese werden kurz vorgestellt und im Folgenden detailliert erklärt. Einige Anforderungen ergeben sich zwangsläufig aus den Spezifikationen des TimePix-Chips, wie sie in Kapitel 2 beschrieben wurden. Die Benutzbarkeit des gesamten Systems gibt zusätzliche Bedingungen an das Auslesesystem vor.

#### 4.1.1 Anforderungen aufgrund der TimePix-Chip-Spezifikationen

Eine wesentliche Anforderung an das Auslesesystem besteht darin, dass alle Funktionen des TimePix-Chips, die einen Betrieb in der TPC erfordern, genutzt werden können. Dazu gehören insbesondere das Setzen und Auslesen der Matrix, die Steuerung der Strom- und Spannungsquellen des TimePix-Chips, das Öffnen und Schließen der Blende mittels eines Auslösers<sup>1</sup> und der Betrieb mit einem Testpulsgenerator. Daneben soll der TimePix-Chip mit verschiedenen Taktfrequenzen bis zur maximalen Frequenz von  $\nu_{\text{Takt}} = 100$  MHz betrieben werden können (Abschnitt 2.3).

Die Kommunikation des TimePix-Chips mit dem Datenerfassungssystem erfolgt sowohl über die CMOS-Leitungen als auch über die LVDS-Leitungen des Chips. Die Ethernet-Signale sind als LVDS definiert. Die Auslösersignale können sowohl im LVDS- als auch im TTL-<sup>2</sup> Standard vorliegen. Eine zusätzliche Aufgabe besteht daher in der Umwandlung der einzelnen Signale auf einen entsprechenden Logikpegel, damit diese weiterverarbeitet werden können.

---

<sup>1</sup>engl. Trigger.

<sup>2</sup>Transistor-Transistor-Logik.

### 4.1.2 Anforderungen an die Benutzerfreundlichkeit des endgültigen Systems

Bei der Entwicklung wurde Wert auf leichte Bedienbarkeit und Ausbaufähigkeit des Systems gelegt. Das System soll weitgehend den Anforderungen des Benutzers entsprechen.

Zunächst soll ein Auslesesystem entwickelt werden, das auf fast jedem beliebigen Rechner<sup>3</sup> eingesetzt werden kann. Dazu sollte das Programm zur Bedienung des Systems betriebssystemunabhängig sein. Des Weiteren soll die Anbindung des Rechners an die weiteren Auslesesystemkomponenten über standardisierte Schnittstellen möglich sein. Da in der Zukunft das System auch von Benutzern bedient werden soll, die mit den Details des Systems und des Chips möglicherweise nicht vertraut sind, soll das Programm eine einfache Benutzerführung erlauben.

Für den zukünftigen Betrieb am ILC wird eine Auslese von mehreren Nachfolgern des TimePix-Chips benötigt, welche die Flächen der Endkappen der TPC abdecken. Die Entwicklung zum einsatzbereiten Endprodukt der Auslese wird sich daher in mehreren Stufen ausbilden. Daher betrifft ein weiterer Aspekt die Ausbaufähigkeit des Systems. Dazu gehört, dass unter anderem das VHDL-Programm<sup>4</sup> im FPGA und das Anwenderprogramm leicht an zukünftige Entwicklungen anpassbar bleiben.

Außerdem soll es zukünftig möglich sein, mehrere TimePix-Chips gleichzeitig durch ein Auslesesystem zu betreiben. Dadurch lässt sich die Auslesegeschwindigkeit erhöhen (Abschnitt 4.2.2) und gleichzeitig wird der Platzverbrauch bei der Installation des Systems klein gehalten. Im Rahmen dieser Diplomarbeit wurde zunächst die Auslese eines TimePix-Chips entwickelt, da der Ausbau des Systems für den Betrieb mehrerer Chips in der zweiten Entwicklungsstufe vorgesehen war. Abschnitt 4.5 geht auf diesen Aspekt ein.

## 4.2 Bestehendes Auslesesystem

Da der TimePix-Chip ein Nachfolger des Medipix-Chips ist, lassen sich mit einigen Änderungen dessen Auslesesysteme auch für den TimePix-Chip verwenden; jedoch mit der Einschränkung, dass nicht alle gewünschten Anforderungen, besonders bezüglich der Ausleserate, erfüllt werden können. Vorgestellt wird hier das *Medipix2 re-Usable Readout System Version 2* (MUROS2), das am *Nationaal Instituut voor Kernfysica en Hoge Energie-Fysica* (NIKHEF) entwickelt wurde (Bello, 2003). Eine Alternative wäre das *USB Interface for Medipix*, welches an der *České vysoké učení technické v Praze* (ČVUT) entwickelt wurde (Vykydal, 2005).

### 4.2.1 Überblick über das MUROS2 System

Das Gesamtsystem des MUROS2 lässt sich in vier Bereiche aufteilen. Es besteht aus einer Trägerplatine für den Chip, der eigentlichen MUROS2-Platine, einer digitalen Schnittstellenkarte D10-653X von *National Instruments* und einem Rechner mit dem jeweiligen Steuerungsprogramm.

Die Steuerung und Datenakquisition des TimePix-Chips über MUROS2 erfolgt mit dem Programmpaket *Pixelman*, welches am ČVUT entwickelt wurde (Holý u. Vykydal, 2008). Der Chip wird dabei über eine grafische Benutzeroberfläche konfiguriert. Erweiterungsmodule erlauben das Ausführen verschiedener Messroutinen. Einzelne Akquisitionen können im Programm dargestellt und in Datenformaten

---

<sup>3</sup>Es wird vorausgesetzt, dass es sich um aktuelle Rechner mit entsprechenden Ressourcen handelt.

<sup>4</sup>Neben VHDL-Programm wird in der Regel der englische Begriff Firmware verwendet. Eine Firmware ist eine Gesamtheit von Konfigurationsdaten, die in elektronische Geräte eingebettet sind und diese steuern.

exportiert werden. Als Alternative existiert das Programm Medisoft, welches am *Istituto Nazionale di Fisica Nucleare* (INFN) entwickelt wurde (Conti u. a., 2003).

Die digitale Schnittstellenkarte DIO-653X basiert auf dem Bus-Standard zur Verbindung von Peripheriegeräten PCI<sup>5</sup> und wird im Rechner betrieben. Die Karte dient der Herstellung einer Verbindung mit dem MUROS2 über eine parallele Schnittstelle (scsi)<sup>6</sup> mit einer Busbreite von 16 bit.

Das MUROS2 dient der Umwandlung der verschiedenen Logikpegel der Signale zwischen dem Rechner und dem TimePix-Chip. Es besitzt einen Referenztaktgeber, dessen Ausgabefrequenz mittels eines Potentiometers zwischen 50 kHz und 30,3 MHz eingestellt werden kann. Die Kernkomponente des MUROS2 ist ein FPGA. Dieser dient der Steuerung des Chips und der Steuerung der Komponenten zur Logikpegelanpassung. Eine weitere Aufgabe ist die Datenübertragung zwischen Rechner und Chip. Dabei muss die parallele Kommunikation mit dem Rechner, die mit der halben Taktfrequenz geschieht, auf die serielle Kommunikation mit dem Chip umgesetzt werden, die mit dem achtfachen Takt des Referenztaktgebers erfolgt.

Das MUROS2 wird ebenfalls über scsi mit der Trägerplatine verbunden. Auf dieser am CERN entwickelten Platine befindet sich der TimePix-Chip. Für den Einsatz in der Zeitprojektionskammer wurde eine Träger- und Adapterplatine an der Universität Freiburg konzipiert. Die Adapterplatine beinhaltet den scsi-Steckverbinder. Über eine Flachbandleitung erfolgt der Anschluss an eine kleinere Trägerplatine mit dem TimePix-Chip. Da die Flachbandstecker auf der Rückseite der Platine verlegt sind, kann die mit dem Chip bestückte Seite eben und gasdicht in die Ausleseebene der Zeitprojektionskammer eingeklebt werden (Desch u. a., 2007; Ummenhofer, 2008).

#### 4.2.2 Beschränkungen des MUROS2

Wie die Namen der bestehenden Auslesesysteme andeuten, sind diese vorrangig für den Betrieb mit dem Medipix-Chip entwickelt worden. Die Systeme konnten nach Aktualisierung der Programme auch am TimePix-Chip verwendet werden, da sich die Architektur der beiden Chips nur geringfügig unterscheidet. Mit einer solchen Programmaktualisierung ließen sich aber systembedingt nicht alle Anforderungen, die an das System für die schnelle Auslese der Spuren in einer Zeitprojektionskammer gestellt werden, erfüllen.

Essenziell für den Betrieb des TimePix-Chips ist die Vergabe des Blendensignals (Abschnitt 2.3.2). Zwar kann das Blendensignal im MUROS2 generiert werden, aber um es mit einem Auslöser zu synchronisieren, muss es extern an den MUROS2 in Form eines TTL-Signals angeschlossen werden (Ummenhofer, 2008). Der MUROS2 gibt dieses Blendensignal im CMOS-Pegel an den Chip weiter. Nur während sich der Chip im Akquisitionsmodus befindet, akzeptiert das MUROS2 diese externen Blendensignale. Die Dauer des Akquisitionsmodus selbst kann über Pixelman nur statisch festgelegt werden. Jeweils nach Ablauf dieses Zeitfensters wird mit der Auslese der Schieberegister des Chips begonnen, unabhängig davon ob vorher ein Blendensignal ausgelöst wurde. Zusätzlich muss über eine Veto-Schaltung die Mehrfachbelichtung des Chips vermieden werden (Ummenhofer, 2008). Durch dieses statische Zeitfenster wird die Ausleserate des Systems reduziert. Bei einem Zeitfenster von  $t = 1$  s ergibt sich eine Ausleserate, die maximal 1 Hz betragen kann (Kaminski, 2009).

Das MUROS2 kann den TimePix-Chip nur seriell über die LVDS Leitungen auslesen (Bello, 2003) und kann nur an einen Chip angeschlossen werden. Es lassen sich jedoch mehrere TimePix-Chips in Serie

<sup>5</sup>engl. Peripheral Component Interconnect.

<sup>6</sup>Small Computer System Interface.

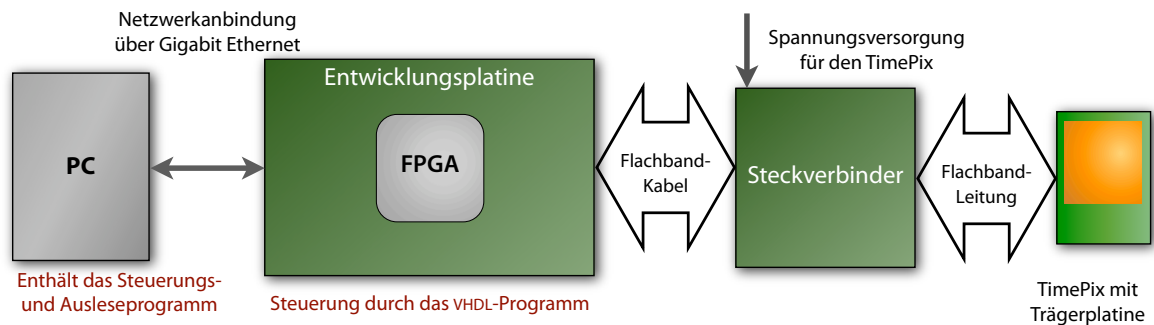


Abbildung 4.1: Blockdiagramm des Auslesesystems

miteinander verbinden. Dabei ist der erste Chip direkt mit dem Auslesesystem verbunden. Die weiteren Chips sind jeweils mit ihren Vorgängern verbunden, so dass eine Kette<sup>7</sup> entsteht (Llopart, 2006; Bello, 2003). Spezielle Trägerplatten mit jeweils vier TimePix-Chips lassen sich so über diese Kette mit einem MUROS2 auslesen. Der Nachteil ist aber, dass hierdurch die Ausleserate verringert wird. Bei vier TimePix-Chips wird die benötigte Zeit zum Auslesen des Systems um den Faktor vier erhöht.

Weniger entscheidend ist die Tatsache, dass für den Betrieb mit dem MUROS2 speziell ausgestattete Rechner zur Verfügung stehen müssen. So wird ausdrücklich der Gebrauch der SCSI-Karte DIO-653X vorausgesetzt. Damit ist ein schneller Wechsel des Rechners nicht möglich. Das Steuerungsprogramm ist ebenfalls nur für das Betriebssystem Windows von Microsoft verfügbar (Holý u. Vykydal, 2008).

### 4.3 Aufbau des Auslesesystems

Das Auslesesystem, welches im Rahmen der Diplomarbeit entwickelt wurde, lässt sich in drei Komponenten einteilen. In Abbildung 4.1 sind die einzelnen Komponenten in einem Blockdiagramm dargestellt. Ein Foto des Auslesesystems ist in Abbildung 4.2 zu sehen. Der TimePix-Chip ist über seine Trägerplatte mit dem Steckadapter verbunden. Die primäre Aufgabe des Steckadapters ist die Verbindung des TimePix-Chips mit dem auf der Entwicklungsplatine sitzenden FPGA. Außerdem wird über den Steckadapter die Versorgungsspannung für den TimePix-Chip bereitgestellt (Abschnitt 4.3.1).

Die zweite und wesentliche Komponente bildet die Entwicklungsplatine mit dem sich darauf befindlichen FPGA. In den FPGA wird das VHDL-Programm eingelesen, das der Steuerung des TimePix-Chips und der Kommunikation mit dem Anwenderprogramm dient. Die Abschnitte 4.3.2 und 4.3.3 beschäftigen sich mit dem VHDL-Programm des FPGAs und der Entwicklungsplatine.

Die letzte Komponente ist das Steuerungs- und Ausleseprogramm<sup>8</sup> und dient als Benutzerschnittstelle. Über das Programm werden die TimePix-Operationen ausgeführt. Das Programm liest zudem die gesamte Matrix des Chips aus und stellt diese grafisch dar. Abschnitt 4.3.4 erklärt die wesentlichen Funktionen des Programms.

<sup>7</sup>engl. daisy chain.

<sup>8</sup>Das Anwenderprogramm wurde von Christian Kahra in Rahmen einer Tätigkeit als studentische Hilfskraft mitentwickelt.

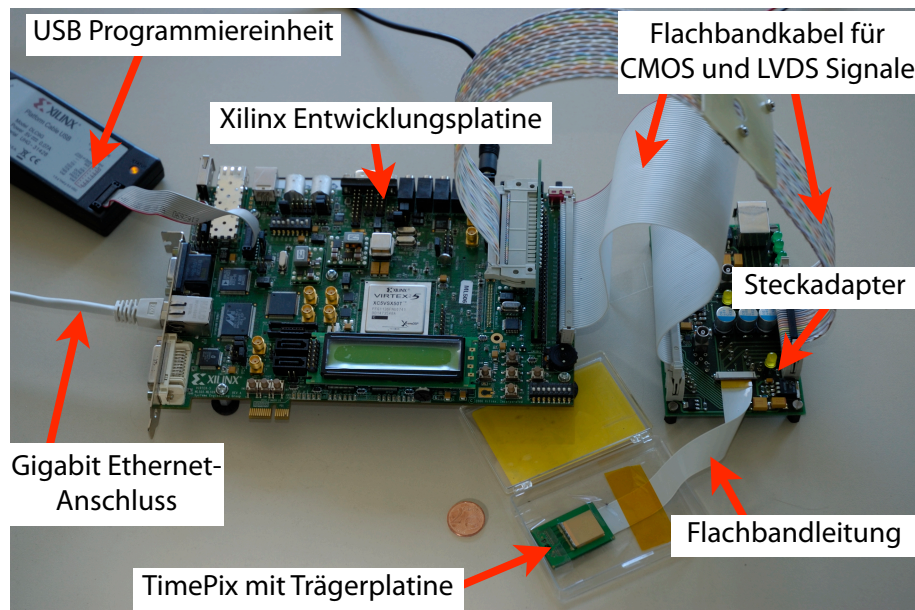


Abbildung 4.2: Aufbau des Auslesesystems. Zum Größenvergleich ist eine 2 Cent Münze abgebildet.

#### 4.3.1 Funktion des Steckadapters zwischen TimePix-Chip und FPGA

Der Steckadapter<sup>9</sup> in Abbildung 4.3 verbindet den TimePix-Chip mit der Entwicklungsplatine. Die Verbindung zwischen dem Steckadapter und der Trägerplatte des TimePix-Chips erfolgt über eine 30-polige Flachbandleitung (FFC)<sup>10</sup>. Die Enden des FFCs sind an jeweils einen Foliensteckerverbinder vom Typ 52437 der Firma Molex angeschlossen. Der Großteil der Signale wird an die Entwicklungsplatine weitergeleitet. Zur besseren Qualität der Signalübertragung werden die CMOS-Signale getrennt von den LVDS-Signalen übertragen. Für die Übertragung der CMOS-Signale wird ein 64-poliges Flachbandkabel verwendet. Dieses wird über Schneidklemm-Stecker (IDC)<sup>11</sup> an die Stiftheisten der Xilinx Entwicklungsplatine und an die Messerleiste der Firma Harting, die sich auf dem Steckadapter befindet, angeschlossen.

Differenzielle Signalübertragung bedeutet, dass zwei Leitungen verwendet werden und dass die Differenz der Spannungen für den Logikzustand ausschlaggebend ist. Daher wird für die LVDS-Signale ein 34-poliges Flachbandkabel mit verdrehten Adernpaaren<sup>12</sup> verwendet. Dieses bietet einen Schutz gegen den störenden Einfluss von äußeren magnetischen Wechselfeldern auf die übertragenen Signale. Auch dieses Flachbandkabel wird über einen Schneidklemm-Stecker an die Messerleiste auf den Steckadapter angeschlossen. Für den Anschluss an die 64-polige Stiftheiste auf der Entwicklungsplatine musste ein Adapter gebaut werden, der die 34-polige Verbindung auf die 64-Polung streckt.

Die zweite Aufgabe des Steckverbinders besteht darin, die Spannungsversorgung für den TimePix-Chip sicherzustellen. Dazu sind drei Präzisions-Festspannungsregler vom Typ LT1085 der Firma Linear

<sup>9</sup>Der Steckadapter wurde von Reinhold Degele gefertigt.

<sup>10</sup>Englische Abkürzung für Flat Flex Cable. Ein FFC ist eine Bauform, die keine Litze verwendet, sondern auf Polyester aufgebraute Metallbahnen benutzt.

<sup>11</sup>engl. Insulation-displacement connector.

<sup>12</sup>Häufig wird auch die englische Bezeichnung Twisted-Pair-Kabel verwendet.

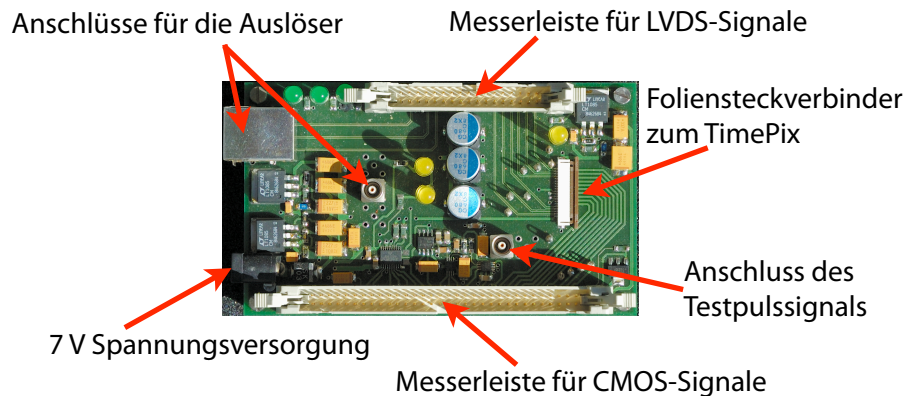


Abbildung 4.3: Foto des Steckadapters. Dargestellt sind die einzelnen Anschlüsse.

Technology auf der Platine untergebracht. Diese reduzieren die Eingangsgleichspannung von 7 V auf jeweils 5 V, 3,3 V und 2,2 V. Der TimePix-Chip wird mit 2,2 V über die FFC versorgt. Die Spannung von 5 V dient der Versorgung der auf der Platine angebrachten Schaltkreise. Bauteile, die direkt an die Entwicklungsplatine angeschlossen werden, haben dagegen nur eine Versorgungsspannung von 3,3 V, da der FPGA intern mit CMOS-Signalen mit einem Maximalspannungspegel von 3,3 V arbeitet.

Damit die Blende im TimePix-Chip synchron zu den messenden Ereignissen geöffnet wird, muss ein Signal zum Auslösen des Zählvorgangs im TimePix-Chip an den FPGA gesendet werden. Dort wird das Signal ausgewertet und das Blendensignal für den TimePix-Chip generiert, falls sich der Chip im Akquisitionsmodus befindet. Der Anschluss des Auslösers erfolgt über einen koaxialen Steckverbinder der Firma LEMO. Als weitere Option ist der Anschluss einer Auslöselogikeinheit (TLU)<sup>13</sup> über den RJ-45<sup>14</sup> Anschluss möglich. Über ein festgelegtes Protokoll kommuniziert der FPGA mit der TLU und generiert das entsprechende Blendensignal an den TimePix-Chip (Cussans, 2008).

Das Einbringen von Testpulsen in den TimePix-Chip ist auf zwei Weisen vorgesehen:

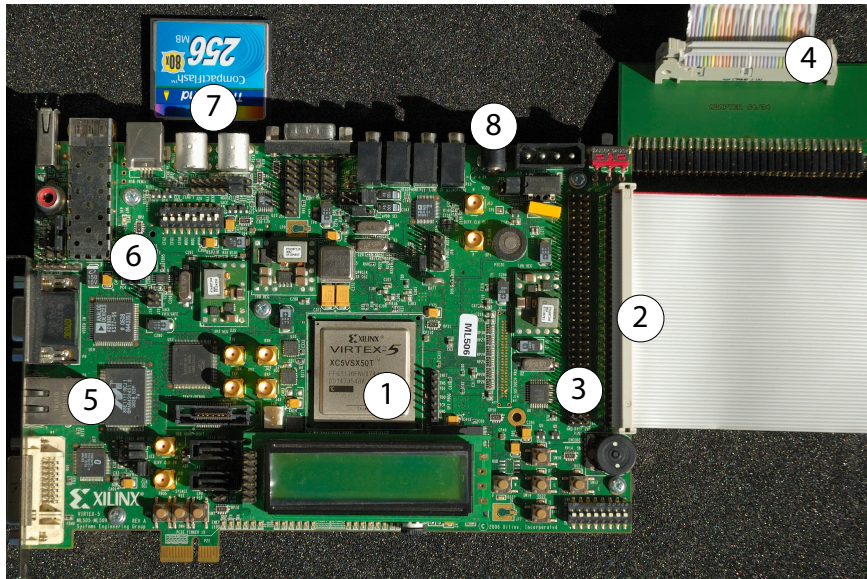
Momentan ist ein externer Funktionsgenerator über eine koaxiale LEMO-Steckverbindung auf dem Steckadapter mit dem TimePix-Chip verbunden. Dadurch ist es möglich, beliebige Signalformen am Funktionsgenerator zu erzeugen und diese unabhängig vom System direkt an den TimePix-Chip zu senden. In der späteren Entwicklung des Auslesesystems ist es vorgesehen, die Testpulse direkt auf dem Steckadapter zu erzeugen. Dafür wird ein Digital-Analog-Umsetzer der Firma Texas Instruments vom Typ DAC852 und ein Multiplexer der Firma Maxim Integrated Products des Typs MAX4634 verwendet. Über den FPGA lässt sich der Digital-Analog-Umsetzer steuern und es lassen sich zwei unterschiedliche Ausgangsspannungen generieren. Diese werden an den Multiplexer angelegt. Der Multiplexer wird über den FPGA bedient. Es lässt sich dann zwischen den beiden Spannungswerten umschalten, wodurch ein Rechtecksignal erzeugt werden kann. Dieses wird an den TimePix-Chip weitergeleitet.

Zum Auslesen der Ausgangsspannungen von den 13 auf dem TimePix-Chip befindlichen internen Digital-Analog-Umsetzern (Abschnitt 2.4.1) ist ein 24-Bit-Analog-Digital-Umsetzer des Typs ADS1224 von Texas Instruments auf dem Steckadapter untergebracht. Durch Setzen eines Steuerbits im FSR des

<sup>13</sup>aus dem Englischen für Trigger Logic Unit.

<sup>14</sup>von der us-amerikanischen Federal Communications Commission (FCC) genormte Steckverbindungen (Registered Jack).





**Abbildung 4.4:** Foto der Xilinx Entwicklungsplatine mit FPGA. Mit Ziffern versehen sind: (1) der FPGA, (2) die Stiftleiste für CMOS-Signale, (3) die Stiftleiste für differenzielle Signale, (4) das Flachkabel mit gedrehten Adernpaaren angeschlossen an den 63-auf-34-Adapter, (5) die PHY für den Ethernet-Anschluss, (6) der JTAG-Konfigurationsanschluss, (7) die CompactFlash Speicherkarte (der Anschluss befindet sich auf der Rückseite der Platine) und (8) der 5 V Versorgungsspannungsanschluss.

TimePix-Chips wird der entsprechende analoge Spannungswert an den Analog-Digital-Umsetzer angelegt. Diese Spannung wird digitalisiert und der digitale Wert an den FPGA gesendet.

### 4.3.2 Entwicklungsplatine

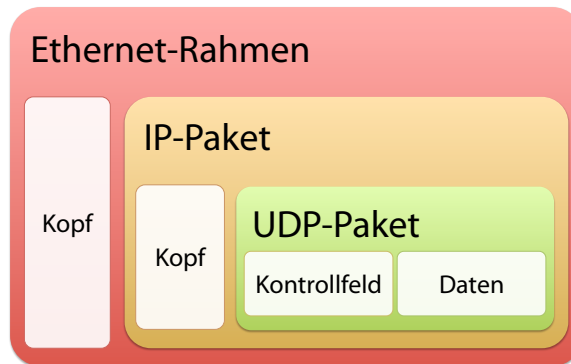
Die Entwicklungsplatine bildet den Kern des Auslesesystems (Abbildung 4.4). Auf ihr befinden sich ein FPGA und die jeweiligen Schnittstellen, um den FPGA zu programmieren, bzw. um mit dem TimePix-Chip und dem Anwendungsprogramm des Rechners zu kommunizieren.

Für die Entwicklung des Datenerfassungssystems wurde die Entwicklungsplatine ML506 der Firma Xilinx verwendet. Diese ermöglicht eine schnelle, kostengünstige Entwicklung und eine experimentelle Untersuchung des Auslesesystems. Auf der Platine befinden sich unter anderem ein Xilinx Virtex-5 FPGA des Typs XC5VSX50T, 64-polige Stiftleisten zum Anschluss der LVDS- und CMOS-Signale über Flachbandkabel vom/zum Steckadapter und ein Ethernet-PHY<sup>15</sup> für die Anbindung an den Rechner über Gigabit-Ethernet. Des Weiteren sind über den FPGA ansteuerbare Leuchtdioden, Taster, Schalter und diverse Schnittstellen auf der Platine vorhanden, die für die Experimente jedoch nicht benötigt wurden.

Die Entwicklungsplatine enthält zudem einen programmierbaren Taktgeber des Typs IDT5V9885, womit die Taktsignale für den FPGA und für die Peripheriegeräte auf der Platine generiert werden. Der FPGA wird auf diese Weise mit einem differentiellen 200 MHz Taktsignal versorgt.

Der FPGA lässt sich auf zwei Arten programmieren:

<sup>15</sup>PHY bezeichnet eine physikalische Schnittstelle, deren Halbleiterbausteine für die Kodierung und Dekodierung von Daten zwischen einem rein digitalen System und einem modulierten analogen System zuständig sind.



**Abbildung 4.5:** Schematischer Aufbau des Datenstroms bei der Ethernet-Kommunikation. Zuerst wird der Kopf des Ethernet-Rahmens gesendet. Die Prüfsumme für den Ethernet-Rahmen wird automatisch von der proprietären Xilinx-Komponente außerhalb vom FPGA generiert.

Für die Tests wurde das VHDL-Programm überwiegend über die JTAG<sup>16</sup>-Schnittstelle geladen. An die JTAG-Schnittstelle wird eine USB<sup>17</sup>-Programmiereinheit angeschlossen, die wiederum mit dem Rechner verbunden ist. Eine weitere Methode besteht darin, den FPGA über eine CompactFlash-Speicherkarte zu programmieren. Da der Speicher des FPGAs flüchtig ist, muss dieser nach jedem Einschalten neu programmiert werden. Das Laden des VHDL-Programms über die Compact-Flash Karte ermöglicht daher den flexiblen Einsatz des Systems vor Ort. Es soll hier noch einmal darauf hingewiesen werden, dass die Entwicklungsplatine nur der Entwicklung des Auslesesystems dient. Bei der späteren Fertigung einer eigenen Platine wird zudem die Möglichkeit einer Im-System-Programmierung über einen standardisierten SPI<sup>18</sup>-Bus möglich sein (Xil, 2009a).

### 4.3.3 VHDL-Programm zur Konfiguration des FPGAs

Der FPGA befindet sich zwischen dem Steckadapter und dem Anwenderprogramm und hat somit eine vermittelnde Aufgabe. Außer der Kommunikation mit dem TimePix-Chip muss auch die Ethernet-Kommunikation mit dem Anwender-Rechner erfolgen. Dabei müssen nicht nur die unterschiedlichen Übertragungsprotokolle eingehalten werden. Die physikalische Übertragung der auf verschiedenen Logikfamilien basierenden Signale muss ebenfalls beachtet und die Signale müssen entsprechend umgewandelt werden.

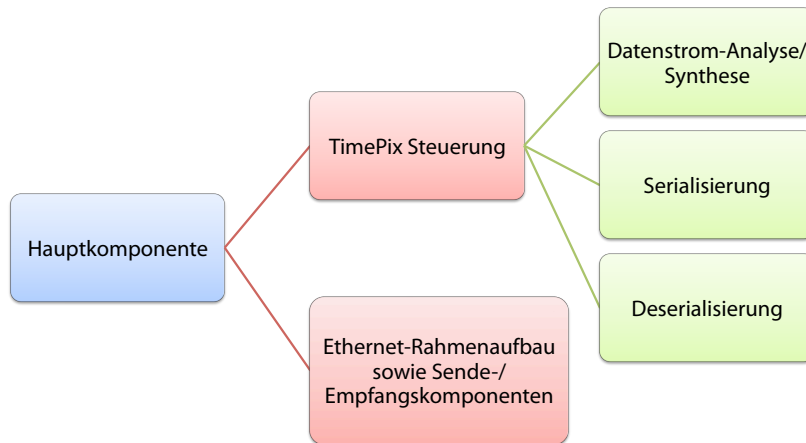
Des Weiteren müssen die seriellen LVDS-Daten vom TimePix-Chip auf 8 bit breite Wörter abgebildet werden, da die Ethernet-Daten intern im FPGA als Vektoren verarbeitet werden. Umgekehrt muss eine Serialisierung der Daten in den TimePix-Chip erfolgen.

Die Kommunikation zwischen dem Rechner und der Entwicklungsplatine findet über UDP-Pakete, welche die eigentlichen Daten enthalten, statt. Diese UDP-Pakete sind wiederum in IP-Paketen untergebracht (Abbildung 4.5). Der gesamte Ethernet-Rahmen mit den IP- und UDP-Inhalten wird als ein Datenstrom versendet. Die ankommenden Datenströme müssen nun richtig interpretiert werden.

<sup>16</sup>engl. Joint Test Action Group. Bezeichnung für den IEEE 1149.1 Standard.

<sup>17</sup>engl. Universal Serial Bus. Ein serielles Bussystem zur Verbindung eines Rechners mit externen Geräten.

<sup>18</sup>engl. Serial Peripheral Interface. Es bezeichnet einen synchronen seriellen Datenbus, mit dem digitale Schaltungen verbunden werden können.



**Abbildung 4.6:** Schematische Darstellung der einzelnen Komponenten des VHDL-Programms

Außerdem muss bei der Erstellung der ausgehenden Datenströme darauf geachtet werden, dass diese richtig zusammengesetzt sind. Zwar stellt die Firma Xilinx vorgefertigte VHDL-Module zu Verfügung, mit denen die Ethernet-Rahmen bequem erstellt werden können; die höheren Protokollschichten müssen allerdings selbst erzeugt werden. Dazu gehört auch die Prüfsummenberechnung im FPGA und die Einhaltung der minimalen bzw. maximalen Rahmenlänge. Die Prüfsumme des Ethernetrahmens wird dagegen automatisch in eigenen elektronischen Einheiten auf der Entwicklungsplatine berechnet.

VHDL erlaubt die modulare Aufspaltung des Programms in sogenannte Komponenten. Das VHDL-Programm besteht daher aus mehreren logischen Einheiten, die eigenständige Funktionen ausführen und über interne Signale mit den anderen VHDL-Komponenten verbunden sind (Abbildung 4.6). Die Haupt-Komponente bildet den Kopf des Programms. Hier werden die in den FPGA eingehenden Signale und die aus dem FPGA ausgehenden Signale verwaltet. Dazu werden die externen Signale, die unterschiedlichen Logikfamilien angehören können, in interne CMOS-Signale umgewandelt. Die 200 MHz Taktfrequenz vom Referenztaktgeber wird hier im digitalen Taktverwalter auf Frequenzen unter der maximalen Betriebsfrequenz des TimePix-Chips von 100 MHz herunterskaliert. Die internen Signale werden an die Komponenten weitergeleitet.

An die Hauptkomponente sind zwei Unterkomponenten angeschlossen:

Die erste Komponente, die aus mehreren Modulen besteht, beinhaltet einen proprietären VHDL-Kode von Xilinx, der die Ethernet-Technologie auf der Entwicklungsplatine zur Verfügung stellt. Die Daten werden von und zu der Komponente intern als ein 8 bit breites, eindimensionales Feld<sup>19</sup> transportiert.

Die zweite Unterkomponente dient hauptsächlich der TimePix-Chip-Steuerung. In den Daten, die das Anwenderprogramm an den FPGA sendet, befindet sich die Anweisung, welche Operation der FPGA ausführen soll (siehe Anhang). Somit kann dem FPGA mitgeteilt werden, dass zum Beispiel der TimePix-Chip in den Ausgangszustand gesetzt oder dass die Matrix des Chips ausgelesen werden soll. Der FPGA setzt die Steuersignale an den TimePix-Chip auf die richtigen Pegel und beschreibt das FSR bzw. liest es aus. Die Operationen werden unabhängig voneinander und in der richtigen zeitlichen Abfolge durchgeführt. Selbst zeitkritische Operationen wie das Öffnen der Blende für eine vorgegebene

<sup>19</sup>Ein eindimensionales Feld wird häufig als Vektor bezeichnet. Ein Feld ist eine Struktur mit dessen Hilfe Daten bzw. Signale eines einheitlichen Typs geordnet werden. Gelegentlich wird die englische Bezeichnung Array verwendet.

Zeit lassen sich so bewerkstelligen. Der Takt an den TimePix-Chip wird hier über ein Ausgangsregister (ODDR)<sup>20</sup>, welches Daten mit der doppelten Datenrate übertragen kann, erzeugt. Wird ein Eingang des Registers auf logisch Eins und an den anderen Eingang das interne Taktsignal gelegt, wird am Ausgang ein Rechtecksignal erzeugt, dessen Periodendauer der des internen Taktes entspricht.

Die zweite Unterkomponente besteht ihrerseits aus drei Unterkomponenten:

Die erste Komponente dient der Analyse bzw. der Synthese der Ethernet-Datenströme. Einzelne Bereiche des Datenstroms werden auf einzelne Objekte verteilt und sind in den anderen Komponenten nutzbar. So werden zum Beispiel die Kontrollinformationen, die von der darüberliegenden Komponente verwendet werden, ausgelesen. Umgekehrt werden die Informationen an das Anwendungsprogramm hier in einen Datenstrom gepackt, um es über Ethernet zu versenden. Auch die Prüfsummenbildung wird hier durchgeführt.

Die weiteren beiden Komponenten dienen bloß der Serialisierung bzw. Deserialisierung der LVDS-Daten zum bzw. vom TimePix-Chip. Die darüberliegende Komponente braucht je nach durchzuführender Operation lediglich die Signale an die entsprechende Komponente zu senden. Das erhöht den Grad der Abstraktion des VHDL-Programms.

Der Schwerpunkt der Diplomarbeit lag in der Entwicklung des VHDL-Programms. Deswegen wird in Kapitel 4.4 detaillierter die Arbeit des VHDL-Programms am Beispiel der Datenerfassung beschrieben.

#### 4.3.4 Steuerungs- und Ausleseprogramm

Das Steuerungs- und Ausleseprogramm ist die Schnittstelle zwischen dem Benutzer und dem Auslesesystem. Das Programm dient der Bedienung des gesamten Systems. Daneben ist die wesentliche Aufgabe des Programms die Auswertung des zurückgelesenen Matrixinhalts des TimePix-Chips. Zudem generiert das Programm den Inhalt der gesamten Matrix und den Inhalt des FSR. Diese werden dann an den FPGA gesendet und dort seriell an den TimePix-Chip weitergeleitet. Damit dient das Anwenderprogramm zur Konfiguration des TimePix-Chips.

Zwischen dem VHDL-Programm auf dem FPGA und dem Anwendungsprogramm auf dem Rechner besteht eine Aufgabentrennung. Das Anwendungsprogramm hat die Aufgabe, den Inhalt der Matrix oder des FSR mit der richtigen Länge zu erzeugen, bzw. die richtige Länge an Daten aus der Matrix oder dem FSR zu lesen und diese zu verarbeiten. Das VHDL-Programm dagegen muss in der richtigen zeitlichen Abfolge die Steuersignale an den TimePix-Chip senden, die Matrix-/FSR-Daten im korrekten Format weiterleiten und die Anforderung der Protokolle beachten.

Das Anwenderprogramm ist in der objektorientierten Sprache C++ geschrieben. Die Möglichkeit Programmteile in Module auszulagern wurde genutzt, um einzelne Funktionen logisch zu trennen. Neben der verbesserten Struktur und Gliederung des Programms wird mit Blick auf die Zukunft die getrennte Entwicklung der Module und deren Untersuchung erleichtert.

Das Programm ist außerdem betriebssystemunabhängig entwickelt worden und unter der Voraussetzung, dass die entsprechenden Übersetzer<sup>21</sup> und Bibliotheken vorhanden sind, auf jedem System lauffähig. Das System, unter dem das Ausleseprogramm ausgeführt wird, muss zwei Bedingungen erfüllen um mit der Xilinx-Entwicklungsplatine kommunizieren zu können: Da die Ethernet-Kommunikation ausschließlich über Gigabit-Ethernet erfolgt, muss entweder eine entsprechende Netzwerkkarte

---

<sup>20</sup>engl. Dedicated Dual Data Rate Output Register. Xilinx verwendet dafür die Abkürzung ODDR (Xil, 2008c).

<sup>21</sup>engl. Compiler.

verwendet werden oder eine entsprechende Netzwerkweiche<sup>22</sup> muss zwischen dem Rechner und der Entwicklungsplatine angeschlossen werden.

Andererseits muss im Betriebssystem des Rechners ein permanenter ARP-Eintrag hinterlegt werden, der die IP-Adressen der physikalischen Adresse der Entwicklungsplatine zuordnet. Im nächsten Schritt der Entwicklung ist ein Einbau der ARP-Funktionalität im VHDL-Programm des FPGAs geplant, welches diesen Schritt überflüssig machen wird.

Die momentane Entwicklung des Anwenderprogramms konzentriert sich auf die Entwicklung einer grafischen Benutzeroberfläche. Dadurch soll zudem der Grad der Abstraktion erhöht und die Bedienung des Systems vereinfacht werden.

## 4.4 Funktionsweise des VHDL-Programms bei der Datenerfassung

Dieser Abschnitt beschreibt im Detail welche Abläufe auf welche Art bei der Erfassung von Daten aus dem TimePix-Chip im FPGA stattfinden. Dazu muss das VHDL-Programm 15 verschiedene Steuerungs-befehle vom Anwenderprogramm verarbeiten und ausführen. Diese Befehle sind innerhalb eines Kontrollfeldes, welches immer die ersten 18 Oktett der UDP-Nutzdaten sind, enthalten. Das Kontrollfeld wird in diesem Abschnitt nicht erläutert, aber im Anhang aufgeführt. Sobald das VHDL-Programm einen Befehl verarbeitet hat, erzeugt es immer ein Antwortpaket und sendet dieses an das Anwenderprogramm zurück.

Momentan werden vom VHDL-Programm folgende Anweisungen verstanden:

1. Den TimePix-Chip in den Ausgangszustand setzen (1 Befehl)
2. Den TimePix-Chip in den Zählmodus versetzen und die Blende öffnen/schließen (5 Befehle)
3. Serielle Auslese der Matrix des TimePix-Chips (3 Befehle)
4. Setzen der Matrix des TimePix-Chips (3 Befehle)
5. Setzen der DACs zur Einstellung der Strom- und Spannungsquellen auf dem TimePix-Chip (1 Befehl)
6. Ein- und Ausschalten des Testpuls-Betriebs (2 Befehle)

Bis auf die letzte Anweisung zum Ein- bzw. Ausschalten des Testpulsbetriebs (Abschnitt 2.4.3) werden alle übrigen Anweisungen für die eigentliche Datenakquisition benötigt. Das Flussdiagramm in Abbildung 4.7 verdeutlicht die Abläufe bei einer Datenerfassung.

Die Datenerfassung soll mit dem Setzen des TimePix-Chips in den Ausgangszustand beginnen. Dadurch wird im TimePix-Chip die 24 bit breite Chip-Identifikation in das FSR geschrieben, die Eingabe/Ausgabe-Logik wird in den Anfangszustand versetzt und alle DACs werden auf einen Mittelwert eingestellt (Llopert, 2006). Diese Anweisung dient ebenso dazu, den FPGA in einen definierten Ausgangszustand zu setzen.

Die nächsten beiden Anweisungen dienen dazu die Parameter im TimePix-Chip einzustellen. Dies geschieht durch Schreiben des FSRs und der Matrix. Beim Schreiben des FSRs werden die Eingangswerte der 13 internen Digital-Analog-Umsetzter im TimePix-Chip gesetzt. Dadurch werden die Strom- und

---

<sup>22</sup>engl. Switch.

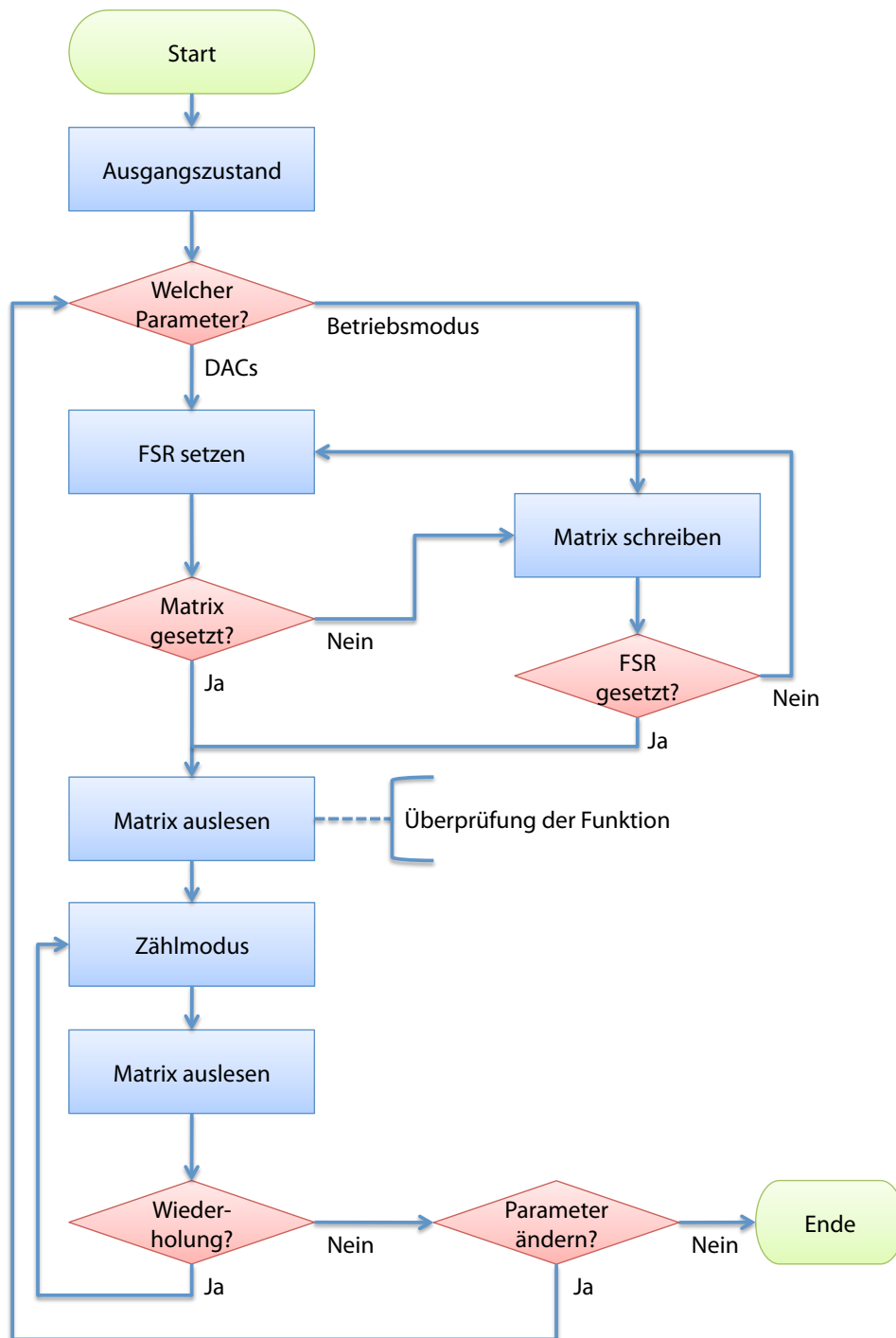


Abbildung 4.7: Flussdiagramm zur Verdeutlichung der Abläufe bei einer Datenerfassung

Spannungsquellen auf dem TimePix-Chip gesteuert. Zudem wird hier die globale Schwellenspannung  $U_{\text{THL}}$  eingestellt (Abschnitt 2.2.2). Bei dieser Operation wird simultan die Identifikationsnummer des TimePix-Chips ausgelesen und an das Anwenderprogramm gesendet.

Erkennt der FPGA den Befehl zum Setzen des FSRS werden viele parallel ablaufende Abläufe ausgelöst. Diese müssen jeweils zu bestimmten Zeitpunkten gestartet bzw. beendet werden. Dazu werden zwei unabhängige Zähler verwendet. Innerhalb einer Fallunterscheidung werden diese Abläufe gesteuert. Auf diese Art und Weise werden die Steuersignale und das Taktsignal an den TimePix-Chip erzeugt, sowie die Serialisierung bzw. Deserialisierung der Daten in den Unterkomponenten gestartet und beendet. Ebenso wird implizit die Weiterleitung der Daten in die oder von der Ethernet-Komponente geregelt.

Das Schreiben der Matrix dient zum Einstellen des Betriebsmodus einer Matrixzelle, zum Maskieren einer Matrixzelle und zum Setzen des Testbitsignals in der Matrixzelle. Außerdem wird über diese Operation der lokale Schwellenstrom  $I_{\text{THS}}$  individuell für jede Matrixzelle eingestellt. Die Anweisung zum Matrix-Setzen wird ebenfalls durch Auslesen eines der drei Befehle aus dem Kontrollfeld am Anfang der Fallunterscheidung gestartet. Hinter dem Kontrollfeld innerhalb der UDP-Nutzdaten befindet sich der Matrixinhalt, den das Anwenderprogramm dem VHDL-Programm übergibt. Für diese Operation sind drei Befehle notwendig, da die Länge des Matrixinhalts die maximale Länge eines Ethernet-Rahmens überschreitet und die Daten daher fragmentiert werden müssen. Ein Befehl signalisiert somit den Anfang der Matrixdaten, ein weiterer Befehl ist für die Verarbeitung der nachfolgenden Fragmente zuständig und der dritte Befehl dient dazu, das letzte Datenpaket zu kennzeichnen. Besonders der letzte Befehl ist wichtig zur Kennzeichnung des Fragmentendes, weil das VHDL-Programm die Länge der Matrix nicht kennt, aber der TimePix-Chip am Ende der Operation erwartet, dass ein spezielles Aktivierungssignal auf logisch Eins wechselt (Llopart, 2006).

Vor dem eigentlichen Zählmodus muss das 14-Bit-Register der Matrixzellen ausgelesen werden. Dadurch werden die Register in einen definierten Ausgangszustand gebracht indem deren Inhalt mit Einsen beschrieben wird (Abschnitt 2.4.2). Zur Auslese der Matrix werden ebenfalls drei Befehle verwendet, da – wie auch schon beim Setzen der Matrix – die Ethernet-Rahmenlänge nicht ausreicht um den gesamten Matrixinhalt zu transportieren.

Die Auslese der Matrix direkt nach dem Schreiben der Matrix bietet den Vorteil, dass dadurch die Funktionalität des TimePix-Chips sowie des Auslesesystems getestet werden kann. Der Inhalt der ausgelesenen Matrix sollte nämlich identisch mit dem Inhalt der zuvor gesetzten Matrix sein. In Abschnitt 5.2.3 wird diese Methode zur Überprüfung weiter erläutert werden.

Nach der Konfiguration der Register in den Ausgangszustand durch das Auslesen der Matrix kann der TimePix-Chip im Zählmodus betrieben werden. Im Zählmodus arbeiten die internen Register der Matrixzellen als linear rückgekoppelte Schieberegister. Sobald das Blendensignal auf logisch Null geht, zählen die Schieberegister hoch. Für diese Anweisung existieren 5 Befehle, da es vier verschiedene Möglichkeiten gibt, das Blendensignal im VHDL-Programm zu steuern:

1. Manuelles Öffnen und Schließen der Blende durch das Anwenderprogramm
2. Sofortiges Öffnen der Blende für eine vorgegebene Zeitdauer
3. Öffnen der Blende für eine vorgegebene Zeitdauer, ausgelöst durch ein TTL-Signal
4. Öffnen der Blende für eine vorgegebene Zeitdauer, ausgelöst durch die TLU (Abschnitt 4.3.1)

Die erste Möglichkeit erlaubt es dem Benutzer des Anwenderprogramms, die Dauer des Blendensignals selbst zu bestimmen. Mit je einem Befehl wird dann die Blende im TimePix-Chip geöffnet bzw. geschlossen. Aufgrund der Reaktionszeit des Benutzer kann die Dauer des Signals nicht sehr genau eingestellt werden und liegt im Bereich von Millisekunden bis Sekunden.

Eine präzise Einstellung der Blendenöffnungszeit ist mit den übrigen Befehlen möglich. Im Kontrollfeld ist dazu ein 1 Oktett breiter Bereich definiert, welcher die Information über die Zeitdauer trägt (siehe Anhang). Abhängig davon ob die Blende durch einen Auslöser oder sofort geöffnet werden soll, gibt es je einen Befehl dafür. Im Folgenden ist ein Teil des VHDL-Kodes dargestellt, bei dem die Steuerung des Blendensignals durch das TTL-Signal ausgelöst wird:

```
if tx_counter=15 then shutter_delay <= 0;
  elsif shutter_delay >= 21+6*shutter_opening_time then
    shutter_delay <= 12000; D2 <='0';
  elsif shutter_delay < 11 then
    shutter_delay <= shutter_delay +1; D2 <='1';
  elsif shutter_delay = 11 and extern_trigger = '0' then
    shutter_delay <= shutter_delay; D2 <='1';
  elsif shutter_delay = 11 and extern_trigger = '1' then
    shutter_delay <= shutter_delay + 1; D2 <='1';
  elsif shutter_delay > 11 then
    shutter_delay <= shutter_delay + 1; D2 <='1';
  else shutter_delay <= 12000; D2 <='0';
end if;
```

Das Blendensignal kann erst ausgelöst werden, wenn die Verarbeitung der Ethernet-Daten beendet ist. Die Operation kann gestartet werden, sobald der Zähler tx\_counter, welcher für die taktgenau Steuerung der ausgehenden Datenströme zuständig ist, einen entsprechend Wert besitzt. Für die Steuerung der präzisen Blendenöffnungszeitdauer existiert ein zusätzlicher Zähler mit dem Bezeichner shutter\_delay. Dadurch ist die Genauigkeit des Zeitraums, während dem die Blende geöffnet ist, durch die Periodendauer des Taktes festgelegt. Das Signal shutter\_opening\_time enthält die Information, wie lange die Blende geöffnet werden soll und wird vom Anwenderprogramm mitgeteilt. Das Signal D2 regelt den Zeitpunkt, zu dem der Takt an den TimePix-Chip gesendet bzw. unterbrochen wird. Das Signal extern\_trigger entspricht dem TTL-Signal, welches als Auslöser dient. Anhand des Codes lässt sich erkennen, wie die einzelnen Signale voneinander abhängen und wie präzise die Steuerung dieser Signale geregelt werden muss.

Parallel zu der Signalsteuerung im obigen Beispiel verläuft die Steuerung des Blendensignals, welches den Bezeichner SHUTTER trägt. Obwohl diese Anweisung in einer anderen Verzweigung enthalten ist, wird die Bearbeitung der Befehle simultan zu den zuvor gezeigten ausgeführt:

```
if shutter_delay>11+6*shutter_opening_time then
  SHUTTER <= '1';
  elsif shutter_delay>11 then
    SHUTTER <= '0';
  else SHUTTER <= '1';
end if;
```



Durch Schließen der Blende sendet der FPGA ein Antwortpaket an das Anwenderprogramm, dass die Operation beendet ist. Daraufhin kann die Matrix ausgelesen werden, um die Zählstände der Register einzelner Matrixzellen zu ermitteln. Nach der Matrix-Auslese kann die Datenakquisition wiederholt werden. Sollen dagegen vor der Datennahme die Schwellen verändert oder der TimePix-Chip in einen anderen Betriebsmodus versetzt werden, so muss das FSR bzw. die Matrix neu beschrieben werden. Nach einer anschließenden Matrix-Auslese kann der TimePix-Chip dann wieder im Zählmodus betrieben werden.

### 4.5 Gleichzeitige Auslese mehrerer TimePix-Chips

Dieser Abschnitt beschreibt die Veränderungen, die zur parallelen Auslese mehrerer TimePix-Chips notwendig werden. Die Realisierung eines neuartigen Datenerfassungssystems für den TimePix-Chip zur Zeitprojektionskammerauslese soll in mehreren Schritten geschehen. Folglich soll dieser Abschnitt nur eine kurze Vorschau bieten, weil diese Weiterentwicklung im Rahmen der Diplomarbeit nicht vorgesehen war.

Da die Daten zum bzw. vom TimePix-Chip im VHDL-Programm als 8 bit lange Vektoren verarbeitet werden, müssen sie bei der Kommunikation mit den Chip serialisiert bzw. deserialisiert werden. Beim Verbinden von 8 TimePix-Chips mit dem FPGA kann auf diese Maßnahme verzichtet werden. Dadurch würde jedes Bit die Informationen eines jeden TimePix-Chips tragen. Diese Methode ermöglicht ebenfalls den Betrieb von weniger als 8 Chips. Die maximale Auslesegeschwindigkeit kann dann allerdings nicht mehr erreicht werden.

Das offensichtliche Problem der Parallelauslese ist die höhere Anzahl an Datenleitungen. Da man den Platzverbrauch des Systems in der Nähe der Zeitprojektionskammer gering halten möchte (Abschnitt 1.2.4), muss die Datenübertragung zwischen dem neuentwickelten Steckadapter und der Entwicklungsplatine für den FPGA optimiert werden. Eine Möglichkeit hierzu bietet die Mehrfachbenutzung der Datenleitung. Dieses Konzept bietet sich für die CMOS-Signale an, die prinzipiell an alle TimePix-Chips gleichzeitig gesendet werden können. Auf der anderen Seite lassen sich einige Leitungen einsparen, da nicht alle für die Kommunikation mit dem Auslesesystem genutzt werden, so zum Beispiel die ausgehenden Takt- und Aktivierungssignale aus dem TimePix-Chip.

Das Anwendungsprogramm muss neben der Neuinterpretation der ankommenden Datenströme auch eine größere Menge an Informationen auswerten. Eine binäre Speicherung der Daten wäre hier von Vorteil, da in der ersten Entwicklungsstufe die Daten als reine Textdateien gespeichert wurden, um sie leichter mit den Daten von Pixelman vergleichen zu können.



## 5 Überprüfung der Systemfunktion

In diesem Kapitel soll die korrekte Funktion des neuen Auslesesystems getestet werden. Für die Entwicklung des Systems ist eine Überprüfung der einzelnen Komponenten und des Gesamtsystems unerlässlich. In entsprechenden Einzelschritten werden die Methoden und deren Ergebnisse in den folgenden Abschnitten behandelt.

Prinzipiell lassen sich VHDL-Programme simulieren, so dass die Simulation mit Hilfe der Entwicklungsumgebung von Xilinx eine Möglichkeit der Systemüberprüfung darstellt. Daneben muss überprüft werden, ob die Simulationsergebnisse mit den realen Bauteilen auch wirklich reproduzierbar sind. Für die Messung der physikalischen Signale sind Oszilloskope geeignete Hilfsmittel. Ethernetübertragungen lassen sich hingegen gut mit Rechnerprogrammen zur Netzwerkanalyse überprüfen. Die Überprüfung des gesamten Systems mit aktiven Signalen, wie zum Beispiel durch Auslesen einer Zeitprojektionskammer (Kapitel 6), ist verhältnismäßig aufwendig; daher wurde die Funktionalität der Datenerfassung des TimePix-Chips bei Messungen von Rauschsignalen untersucht. Ebenso ist eine Messung mit Testpulsen oder elektromagnetischer Strahlung zur Untersuchung hilfreich.

### 5.1 Simulation des VHDL-Programms

Das Ziel einer Simulation eines VHDL-Programms ist es, die internen Prozesse innerhalb des FPGAs sichtbar zu machen und mögliche Fehler schnell zu entdecken.

Bei der Synthese des VHDL-Programms für den FPGA kommt es häufig vor, dass man einzelne Komponenten des Systems testen möchte, obwohl das Programm als Ganzes nicht fertig gestellt ist und somit nicht lauffähig ist. Ein anderes häufig auftretendes Problem besteht darin, dass das Programm nicht wie gewünscht funktioniert, obwohl es lauffähig ist. Besonders bei zeitkritischen<sup>1</sup> Abläufen lassen sich externe Signale erst verspätet oder überhaupt nicht messen. In diesen Fällen bietet sich eine Simulation des VHDL-Programms an. Dadurch lassen sich einzelne Komponenten auf Fehler untersuchen. Außerdem werden die internen Signale im FPGA in der Entwicklungsumgebung dargestellt, so dass sich hier Verzögerungen oder mögliche Fehler sehr schnell auffinden lassen.

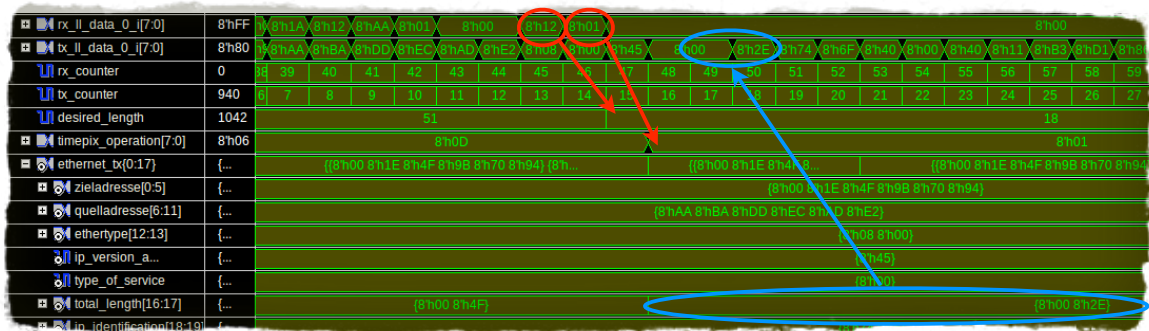
Die Entwicklungsumgebung ermöglicht es, das VHDL-Programm sowohl auf sein rein logisches Verhalten zu simulieren, als auch die in der speziellen Implementierung auftretenden Signallaufzeiten mit zu berücksichtigen. Die Simulation dient hauptsächlich zur Fehlersuche und zur Überprüfung des Verlaufs der internen Signale; daher wurde nur eine weniger zeitaufwändige Verhaltenssimulation durchgeführt<sup>2</sup>.

Bei der Überprüfung der Analyse und Synthese des Ethernet-Datenstroms erwies sich die Simulation als sehr hilfreich. Die Analyse und besonders die Synthese sind sehr zeitkritisch. Der Datenstrom muss richtig interpretiert werden und die einzelnen Bits müssen in der richtigen Reihenfolge als Datenpaket

---

<sup>1</sup>Zeitkritisch bedeutet, dass mehrere, bestimmte Signale zu bestimmten Takten einen definierten Wert annehmen müssen.

<sup>2</sup>Obwohl die Verhaltenssimulation nicht die in der Implementierung auftretenden Signallaufzeiten berücksichtigt, lassen sich trotzdem die zeitkritischen Abläufe analysieren, da hierbei nur die Signalwechsel relativ zum Takt von Interesse sind.



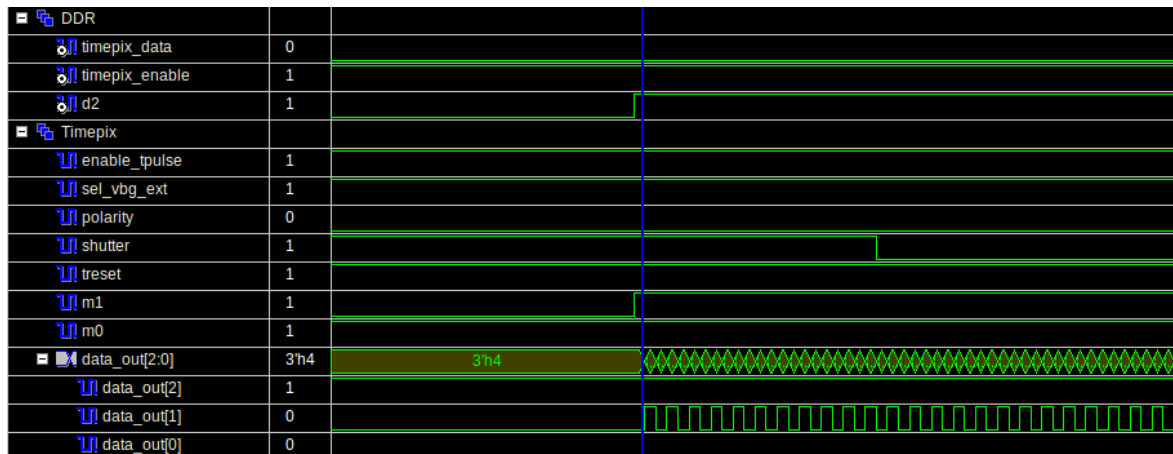
**Abbildung 5.1:** Ausschnitt aus der Simulation der Ethernet-Kommunikation. Dargestellt sind die eingehenden (rx\_ll\_data) und ausgehenden (tx\_ll\_data) Datenströme, die Zähler (rx\_counter und tx\_counter) zu den Datenströmen, das interne Signal, welches die Antwortpaketlänge (desired\_length) bzw. die TimePix-Operation beinhaltet, sowie die ausgehenden Ethernet-Daten (ethernet\_tx). Mit den roten Pfeilen ist dargestellt, wie Kontrollfeldinformationen aus dem ankommenden Datenstrom auf die entsprechenden internen Signale gelenkt wurden. Mit dem blauen Pfeil ist dargestellt, wie die IP-Paket-Gesamtlänge in den ausgehenden Datenstrom gelenkt wurde.

verschickt werden. Da die Information aus dem Datenstrom auf verschiedene interne Signale verlegt werden, ist eine Überprüfung der Funktionalität der Komponenten ohne Simulation nicht möglich.

Die Abbildungen 5.1, 5.2 und 5.3 zeigen einen Ausschnitt aus der Entwicklungsumgebung, der den zeitlichen Verlauf der Signale in der Simulation darstellt. Exemplarisch sollen anhand der Abbildungen die Analyse und Synthese des Ethernet-Datenstroms, die Erzeugung der Steuersignale an den TimePix-Chip sowie die Serialisierung und Deserialisierung der Daten an den TimePix-Chip erläutert werden.

In Abbildung 5.1 ist der einkommende und der ausgehende Ethernet-Datenstrom, sowie der Inhalt der internen Signale dargestellt. Die internen Signale sind mit eindeutigen Bezeichnern gekennzeichnet. Mit dem einkommenden und ausgehenden Datenstrom läuft jeweils ein Zähler mit. Dadurch ist die genaue zeitliche Zuordnung möglich. Aus der Kenntnis des Zählerwerts und des Inhalts der internen Signale lässt sich die korrekte Zusammensetzung des Datenstroms ersehen. Umgekehrt lässt sich erkennen, ob die internen Signale zum richtigen Zeitpunkt den Wert aus dem Datenstrom annehmen. Mit den roten Pfeilen wird in der Abbildung 5.1 verdeutlicht, wie die Inhalte zur Antwortpaketlänge und zur TimePix-Operation aus dem Datenstrom gelesen und wie nach zwei Takten die entsprechenden internen Signale ihren Wert ändern. Um die Latenzzeit so gering wie möglich zu halten, werden das Antwortpaket, welches der FPGA an das Anwenderprogramm generiert, sofort erzeugt und gegebenenfalls im Puffer gehalten, solange das Antwortpaket nicht vollständig ist. Deshalb werden immer der Kopfbereich des Ethernet-Datenstroms analysiert und sofort der Kopfbereich des Antwortpakets synthetisiert. Anhand des blauen Pfeils in der Abbildung 5.1 ist dargestellt, wie aus der Informationen zur Antwortpaketlänge nach einem Takt die IP-Paketgesamtlänge berechnet und an die entsprechende Position in dem ausgehenden Datenstrom geschrieben wird.

Als nächstes Beispiel wird im Folgenden der Signalverlauf in Abbildung 5.2 beim Setzen des TimePix-Chips in den Zählmodus diskutiert. Durch entsprechendes Setzen des Kontrollfelds (siehe Anhang) kann das VHDL-Programm im FPGA den TimePix-Chip in den Zählmodus versetzen. In der Simulation wird dazu der Inhalt des Datenstroms variiert. Anhand des Signalverlaufs lässt sich erkennen, dass die CMOS-Signale so gesetzt werden, wie es die Spezifikation des TimePix-Chips vorschreibt. In Llo-

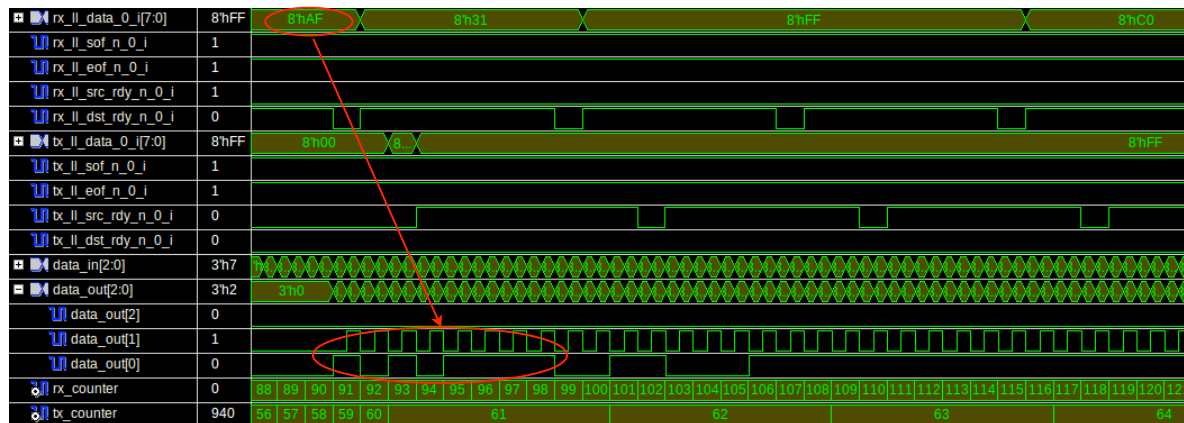


**Abbildung 5.2:** Ausschnitt aus der Simulation der Steuersignale an den TimePix-Chip. Der FPGA erkennt den Befehl, dass der TimePix-Chip in den Zählmodus versetzt werden soll. Dargestellt sind die jeweiligen CMOS-Signale (im Verzeichnis Timepix) an den TimePix-Chip. Der Takt an den TimePix-Chip trägt den Bezeichner data\_out[1] und wird durch das Signal d2 gesteuert. Das Blendensignal trägt den Bezeichner shutter. Nach elf Taktsignalen geht das Blendensignal auf logisch Null.

part (2006) ist die Bedingung formuliert, dass der Takt zum TimePix-Chip mindestens 50 ns bevor das Blendensignal auf logisch Null wechseln kann, gesendet werden muss. Die korrekte Umsetzung hiervon lässt sich ebenso in der Simulation erkennen. Das wird dadurch erreicht, dass das Blendensignal erst nach 11 Takten seinen Wert ändert. Bei der maximalen Betriebsfrequenz von  $\nu_{\text{Takt}} = 100 \text{ MHz}$  entspricht das einer Zeit von  $t = 11/\nu_{\text{Takt}} = 110 \text{ ns}$ .

Ein weiterer wesentlicher Punkt, der überprüft werden muss, ist die Funktionalität der Serialisierung und der Deserialisierung der Daten vom und zum TimePix-Chip. In Abbildung 5.3 ist der Signalverlauf der ankommenden und ausgehenden TimePix-Daten dargestellt. Das Programm wird dafür in den Modus versetzt, in dem die Strom- und Spannungsquellen im TimePix-Chip gesetzt werden. Dabei muss sowohl das FSR im TimePix-Chip beschrieben werden, als auch simultan das FSR ausgelesen werden, welches die Chip-Identifikation beinhalten kann, falls der Chip vorher in den Ausgangszustand versetzt wurde (Abschnitt 2.4.1). Um auch hier die Latenzzeit so gering wie möglich zu halten, werden die Daten an den TimePix-Chip direkt ohne Zwischenspeicherung aus den Ethernet-Datenstrom entnommen. Beim Auslesen der Daten vom TimePix-Chip werden diese auch sofort in den Puffer für den Ethernet-Datenstrom geleitet. Der Datenstrom, der in die Puffer der Sende- und Empfangskomponente von Xilinx geht, muss für diese Operation angehalten werden (Xil, 2005). Da der TimePix-Chip keinen eigenen Taktgeber besitzt, kann das Senden und Empfangen der TimePix-Daten über den Takt gesteuert werden (Llopart, 2006). Die größte Herausforderung bei der Serialisierung und der Deserialisierung ist es, dass alle Operationen, also das Starten und Anhalten der Puffer und des TimePix-Taktes, sowie das Packen und Entpacken des Ethernetdatenstroms zeitlich synchron und in der richtigen Reihenfolge stattfinden. Beim Anhalten der Puffer müssen auch die Zähler zum richtigen Zeitpunkt angehalten werden, damit die Daten im Ethernetdatenstrom interpretierbar bleiben. In Abbildung 5.3 ist mit dem roten Pfeil dargestellt, wie ein 8 bit breites Objekt aus dem ankommenden Datenstrom seriell an den TimePix-Chip umgeleitet wurde.

Mit Hilfe der Simulation des VHDL-Programms lässt sich der zeitliche Verlauf der internen Signale



**Abbildung 5.3:** Ausschnitt aus der Simulation der Serialisierung und der Deserialisierung von Daten zum und vom TimePix-Chip. Der FPGA setzt die Strom- und Spannungsquellen im TimePix-Chip und liest zeitgleich die Chip-Identifikation aus. Dargestellt sind neben den internen Signalen auch der Datenstrom. Anhand des Zählers tx\_counter und der Steuersignale (tx\_ll\_src\_rdy und tx\_ll\_src\_rdy) erkennt man, wann die Puffer angehalten werden. Data\_out[1] bezeichnet den TimePix-Takt und data\_out[0] die TimePix-Daten. Mit dem roten Pfeil ist dargestellt, wie das hexadezimale Wort AF<sub>16</sub> seriell an den Chip gesendet wird.

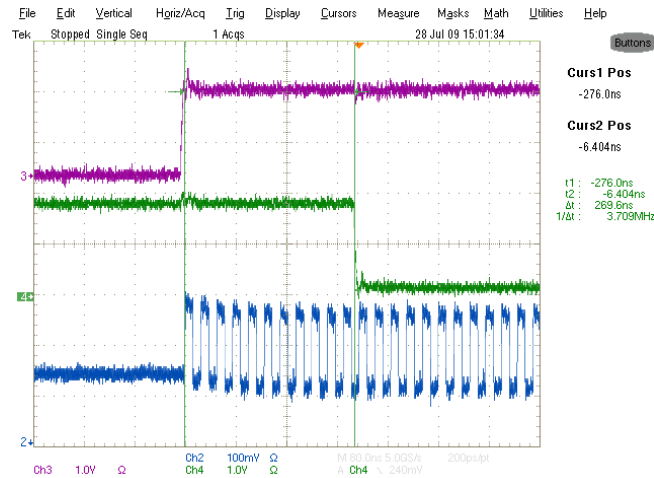
leicht sichtbar machen und untersuchen. Die Simulation ist eine sehr gute Unterstützung bei der Entwicklung des VHDL-Programms und hilft bei der Synthese des Programms im FPGA, da sich mit der Verhaltenssimulation die Korrektheit des VHDL-Programms und die Funktionalität seiner Komponenten feststellen lässt.

## 5.2 Messung einzelner Funktionskomponenten zur Überprüfung der Simulationsergebnisse

Nach einer erfolgreichen Simulation stellt sich die Frage, wie diese Ergebnisse überprüft und ob diese in einer Messung reproduziert werden können. Ein Problem besteht darin, dass andere Komponenten des Gesamtsystems sich aufgrund ihrer Komplexität nur schwer simulieren lassen und daher nicht auf diese Art und Weise überprüft werden können. Dazu gehört der TimePix-Chip und das Anwenderprogramm. Erst durch Netzwerkanalyse-Programme oder einen Oszilloskop ist die Überprüfung der einzelnen Komponenten (Anwenderprogramm, FPGA, TimePix-Chip) auf ihre korrekte Funktion möglich. Auch Verzögerungen, die in der Verhaltenssimulation nicht berücksichtigt wurden, können im realen Betrieb Fehlfunktionen hervorrufen.

### 5.2.1 Untersuchung der Kommunikation zwischen Entwicklungsplatine und Rechner

Die Überprüfung der Kommunikation zwischen der Entwicklungsplatine und dem auf dem Rechner installierten Anwenderprogramm erfolgt mit speziellen Rechnerprogrammen. Netzwerkanalyseprogramme ermöglichen es, den Datenverkehr eines Netzwerks zu empfangen, aufzuzeichnen und darzustellen (Lamping u. a., 2008). Mithilfe von Filtern lassen sich nur die relevanten Daten aus den Aufzeichnungen darstellen und analysieren. Mit einem solchen Programm ist es möglich, die gesendeten



**Abbildung 5.4:** Oszilloskopbild der Steuersignale beim Setzen des TimePix-Chips in den Zählmodus. Blau entspricht dem eingehenden Taktsignal, grün ist das Blendensignal, magenta ist das Steuersignal M1. Das Taktsignal wird rund 270 ns vor dem Wechsel des Blendensignals gestartet.

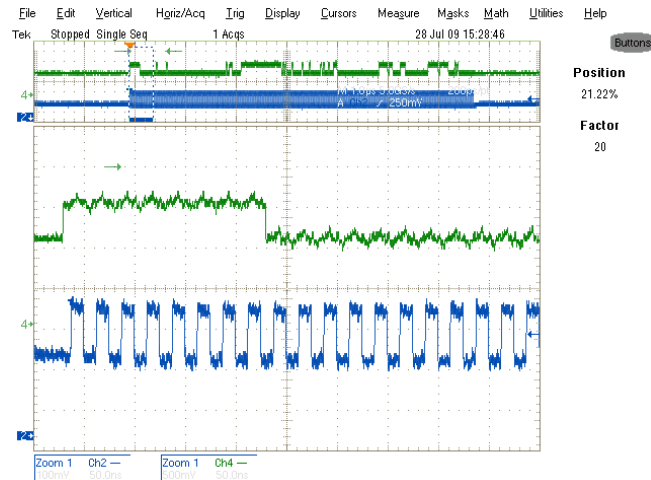
Daten zwischen dem Anwenderprogramm zur TimePix-Steuerung und dem VHDL-Programm im FPGA zu untersuchen. Damit lässt sich erkennen, ob das Anwenderprogramm die Daten, die zur Entwicklungsplatine gesendet werden, korrekt generiert. Dabei kann sowohl der Kopfbereich der einzelnen Netzwerkprotokolle, als auch das Kontrollfeld (Anhang) und die eigentlichen Daten, die den Inhalt der Matrix oder des FSR beschreiben, überprüft werden. Bei Fehlern können das Anwenderprogramm bzw. das VHDL-Programm daraufhin korrigiert werden.

Außerdem kann überprüft werden, ob der Datenstrom vom FPGA korrekt zusammengesetzt war. Die Ergebnisse werden mit den Erwartungen aus der Simulation verglichen. Besonders Fehler aus der Prüfsummenberechnung werden schnell erkannt. Ebenso werden Fehler bei der Deserialisierung der Daten vom TimePix-Chip unter bestimmten Umständen erkennbar. Dies ist dann der Fall, wenn die Deserialisierung nicht synchron mit der Ethernet-Kommunikation gestartet bzw. beendet wird.

### 5.2.2 Messung der Steuersignale an den TimePix-Chip

Die Messung der Steuersignale an den TimePix-Chip wird mit Hilfe eines Oszilloskops durchgeführt. Auf dem Steckadapter befinden sich dazu metallische Anschlussstifte, über welche mit Sonden die Steuersignale abgegriffen und an das Oszilloskop angeschlossen und damit sichtbar gemacht werden. Somit lässt sich überprüfen, ob der gleiche Verlauf, der schon in der Simulation gesehen wurde, tatsächlich mit dem realen Signalverlauf übereinstimmt.

In Abbildung 5.4 sind das Blendensignal, das Steuersignal M1 und der eingehende Takt dargestellt. Der TimePix-Chip wurde hier in den Zählmodus versetzt. Anhand dieser Messung lässt sich die Simulation in Abbildung 5.2 überprüfen. Wie in Abschnitt 5.1 beschrieben, sollte das Blendensignal frühestens 50 ns nach dem Taktsignal auf einen niedrigen Logikpegel fallen. Die Messung bei einer Betriebsfrequenz von  $\nu_{\text{Takt}} = 40 \text{ MHz}$  ergab eine Zeitdifferenz von  $\Delta t = 269,6 \text{ ns}$  und stimmt mit dem Ergebnis der Simulation von  $t = 11/\nu_{\text{Takt}} = 275 \text{ ns}$  weitestgehend überein.



**Abbildung 5.5:** Oszilloskopbild der Datensignale zum TimePix-Chip. Blau ist das eingehende Taktsignal, grün das Datensignal. Das untere Bild ist eine Vergrößerung von dem Ausschnitt des aufgezeichneten Gesamtsignalverlaufs. Die Daten werden vom TimePix-Chip auf fallender Taktflanke eingelesen, weshalb diese schon auf steigender Flanke anliegen müssen.

### 5.2.3 Messung der Datensignale vom und zum TimePix-Chip

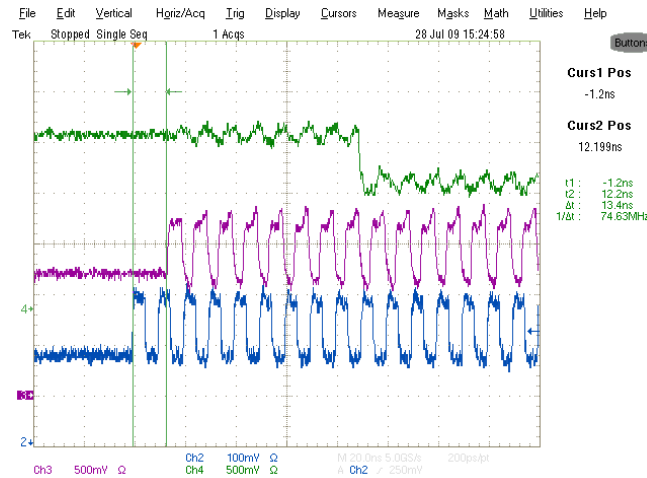
Die Messung der Daten-, Takt- und Aktivierungssignale zum bzw. vom TimePix-Chip erfolgt ebenfalls mit Hilfe eines Oszilloskops. Diese Signale werden als LVDS-Signale übertragen, weswegen die Messung mit differentiellen Sonden durchgeführt wird. Alternativ kann das positive LVDS-Signal für die Messung mit einer gewöhnlichen Sonde verwendet werden. Bei der Messung muss zwischen den in den TimePix-Chip gehenden und vom TimePix-Chip in die Entwicklungsplatine kommenden Signalen unterschieden werden.

Die Messung der in den TimePix-Chip gehenden Signale ermöglicht die Überprüfung der korrekten Serialisierung im FPGA. Dies wird durch Abzählen der Takte und einem Vergleich mit dem Wert der Daten auf dem Oszilloskop durchgeführt. In Abbildung 5.5 ist das Oszilloskopbild der in den TimePix-Chip gehenden Daten- und Taktsignale dargestellt. Das Bild wurde beim Setzen der Strom- und Spannungsquellen aufgenommen. Die Daten geben damit den Inhalt des FSRs wieder. Der vergrößerte Ausschnitt aus dem aufgezeichneten Signalverlauf zeigt die ersten 8 bit langen Daten, die in den TimePix-Chip gesendet werden. Diese Daten dienen als Präambel und sind ständig auf logisch Eins.

Aus der Messung der ankommenden Daten vom TimePix-Chip lässt sich wiederum die korrekte Deserialisierung im FPGA überprüfen. Das Problem dabei ist, dass man konstante, reproduzierbare Daten braucht, um die Funktionalität sicher zu überprüfen. Dies lässt sich auf zwei Arten bewerkstelligen:

Beim Setzen des TimePix-Chips in den Anfangszustand schreibt dieser eine Identifikationsnummer in das FSR. Anschließend lässt sich diese Identifikationsnummer auslesen (Abschnitt 2.4.1). Die Chip-Identifikation ist für jeden Chip eindeutig (Llopart, 2006). Der FPGA liest bei jedem Setzen des FSR den Inhalt des FSRs simultan aus und sendet den Inhalt an das Anwenderprogramm. Durch wiederholtes Messen mit dem Oszilloskop bei unterschiedlichen Betriebsfrequenzen konnte festgestellt werden, dass sich diese Identifikationsnummer für den gleichen Chip nicht änderte. Anschließend ließ sich mit Hilfe des Anwenderprogramms bzw. mit dem Netzwerkanalyseprogramm bestätigen, dass der FPGA die





**Abbildung 5.6:** Messung der Verzögerung der empfangenden TimePix-Daten mit Hilfe des Oszilloskops. Blau ist das ausgehende Taktsignal zum TimePix-Chip, magenta das eingehende Taktsignal, grün sind die empfangenden Daten vom TimePix-Chip. Zwischen eingehenden Takt und ausgehenden Takt wird eine Verzögerung von 13,4 ns gemessen. Das Bild wurde bei einer Taktfrequenz von  $\nu_{\text{Takt}} = 100 \text{ MHz}$  aufgenommen.

Daten richtig deserialisierte und an den Rechner weiterleitete.

Beim Setzen der Matrix und der anschließenden Auslese wird erwartet, dass die ausgelesenen Daten identisch sind mit den Daten, die man gesetzt hat (Abschnitt 2.4.2). Damit lässt sich außer der Funktionalität der Serialisierung sowie der Deserialisierung auch das korrekte Setzen der Steuersignale und die Verarbeitung im FPGA, sowie der Transport der Daten an das Anwenderprogramm überprüfen. Während der Messungen fiel jedoch auf, dass die Tests mit dieser Versuchsvorschrift nur bis zu einer Betriebsfrequenz von  $\nu_{\text{Takt}} < 50 \text{ MHz}$  das zu erwartende Ergebnis lieferten. Bei einer Betriebsfrequenz von  $\nu_{\text{Takt}} > 50 \text{ MHz}$  waren die Daten um 1 bit verzögert.

Diese Verzögerungen entstehen hauptsächlich in den Leitungen vom TimePix-Chip bis zur Entwicklungsplatine. In Abbildung 5.6 erkennt man die Auswirkungen dieser Verzögerung. Sie wirkt gleich auf die ankommenden Daten sowie auf den ankommenden Takt des TimePix-Chips. Würde man daher die TimePix-Daten mit dem Takt vom TimePix-Chip verarbeiten, hätte die Verzögerung keine Auswirkungen auf die weitergesendeten Daten zum Rechner. Diese Lösung hätte jedoch zur Folge, dass intern im FPGA mit zwei unterschiedlichen Taktsignalen gearbeitet werden würde, die eine beliebige, unbekannte Phasenbeziehung zueinander hätten. Dies würde viele Operationen im FPGA erschweren und wäre mit einem hohen Aufwand verbunden, welcher den Nutzen nicht rechtfertigen würde.

Stattdessen wird im FPGA nur mit einem Taktsignal gearbeitet, welches zugleich der ausgehende Takt an den TimePix-Chip ist. Dies hat zur Folge, dass die Daten, die jetzt verzögert vom FPGA empfangen werden, nicht mehr auf der entsprechenden Taktflanke während der Deserialisierung erfasst werden. Dieses Problem lässt sich durch Verzögerungseinheiten im FPGA beheben (Xil, 2009e). Da aber die Auslese des TimePix-Chips bis zu einer Frequenz von  $\nu_{\text{Takt}} < 50 \text{ MHz}$  problemlos funktionierte, wurde die Implementation einer automatischen Verzögerungserkennung auf einen späteren Zeitpunkt verschoben und der Schwerpunkt der Arbeit auf Bereiche gelegt, die essenziell waren um das gesamte Auslesesystem zu etablieren. Zudem ist der Betrieb des Systems auch im Bereich  $50 \text{ MHz} < \nu_{\text{Takt}} < 100 \text{ MHz}$  möglich. Die dabei auftretende Verzögerung verursacht lediglich, dass die Daten um einen Takt später

gesendet werden und dass das erste Bit im Datenstrom an das Anwenderprogramm daher nicht definiert ist. Durch manuelle Anpassung des Anwenderprogramms lassen sich die Daten wieder korrekt auswerten.

Ein möglicher Algorithmus für die automatische Verzögerungserkennung ist das Setzen und das anschließende Auslesen der Matrix. Das Anwendungsprogramm führt zur Beginn der Messungen diese Operationen durch und vergleicht die ankommenden Daten mit den gesetzten Daten. Erkennt das Programm, dass die Daten nicht identisch sind, teilt es dem FPGA mit, eine festgelegte Verzögerung zwischen den Daten und dem internen Takt einzubauen. Iterativ wird diese Operation durchgeführt bis die Daten synchron zum Takt eingelesen werden.

Die Messungen in diesem Abschnitt haben gezeigt, dass die Ergebnisse der Simulation erfolgreich getestet werden konnten. Mit Hilfe eines Netzwerkanalyseprogramms ließ sich die Kommunikation zwischen dem Anwenderprogramm und dem FPGA analysieren. Mit dem Oszilloskop ließen sich die Signale zwischen TimePix-Chip und FPGA untersuchen. Vor allem der Schreib-Lese-Test der Matrix erlaubt eine sehr einfache und effektive Untersuchung des Gesamtsystems. Damit ließen sich nicht nur Störungen in den einzelnen Komponenten, sondern auch die Funktionalität des TimePix-Chips überprüfen.

### 5.3 Korrektur der Bitanordnung im FSR

Während der Messungen hat es sich herausgestellt, dass der Inhalt im FSR in der Dokumentation zum TimePix-Chip falsch beschrieben war. Dieser Abschnitt erläutert dieses Problem und gibt die korrekte Bitposition im FSR an.

Bei den Messungen zur Überprüfung der Systemkomponenten fiel auf, dass die einzelnen Digital-Analog-Umsetzer im TimePix-Chip nicht korrekt angesteuert werden konnten. Obwohl der korrekte Verlauf der Daten zum TimePix-Chip mit dem Oszilloskop bestätigt wurde, konnte die analoge Ausgangsspannung der einzelnen DACs nicht ausgelesen werden.

Erst durch Variation der Bitpositionen der Daten konnte eine Spannung am Ausgang vom TimePix-Chip gemessen werden. Dies führte zur Annahme, dass der Inhalt des FSRs (wie in Llopart (2006) beschrieben) nicht korrekt war. Anhand von Messungen der Analogspannungen konnte die korrekte Bitanordnung im FSR nicht ermittelt werden. Das liegt einerseits daran, dass die Analogspannungen der DACs bei bestimmten digitalen Eingangswerten unbekannt und nur ein Mittelwert angegeben ist (Llopart, 2006), andererseits zeigen die DACs aber häufig kein lineares Verhalten, so dass sich eine Analogspannung zu einem bestimmten Eingangswert nicht vorhersagen lässt (Brezina, 2009). Außerdem verhalten sich die DACs je nach TimePix-Chip nicht gleich.

Obwohl das MUROS2 die DACs im TimePix-Chip steuern kann, waren keine Dokumente über dessen Implementierung bekannt. Deshalb wurden mit einem Oszilloskop die LVDS-Signale vom MUROS2 an den TimePix-Chip aufgezeichnet. Während der Messungen wurden die DAC-Eingangswerte variiert. Anschließend wurden die Messdaten im Detail analysiert und eine Zuordnung der Datenbits zu dem Taktsignal vorgenommen.

Die Tabelle 5.1 zeigt den Inhalt des FSRs, der sich nach der Auswertung ergab. Die Daten sind im Vergleich zu Llopart (2006) um 1 Bit verschoben. Ein weiteres Ergebnis der Auswertung bestand darin, dass für eine Synchronisation des TimePix-Chips zusätzlich mindestens ein Bit mehr an Daten gesendet

**Tabelle 5.1:** Inhalt des FSR nach der Auswertung der Messung. Zuerst wird das höchstwertigste Bit gesendet. Dargestellt sind die Strom- und Spannungsquellen, welche durch Setzen der Bits im FSRs und anschließenden Senden des FSRs zum TimePix-Chip eingestellt werden.

DAC	Bitposition im FSR nach Wertigkeit									
	2 <sup>9</sup>	2 <sup>8</sup>	2 <sup>7</sup>	2 <sup>6</sup>	2 <sup>5</sup>	2 <sup>4</sup>	2 <sup>3</sup>	2 <sup>2</sup>	2 <sup>1</sup>	2 <sup>0</sup>
Ref LVDS			242	241	240	239	238	237	236	235
Bias LVDS			234	233	232	231	230	229	228	227
THS			188	187	186	185	184	183	182	181
GND			143	142	141	140	139	138	137	136
FBK			135	134	133	132	131	130	129	128
Vcas			127	126	125	124	123	122	121	120
THL Coarse							113	112	111	110
THL	109	108	107	106	105	104	103	102	101	100
Hist			93	92	91	90	89	88	87	86
Buff Analog B			67	66	65	64	63	62	61	60
Buff Analog A			59	58	57	56	49	48	47	46
External DAC_SEL										44
Sense DAC										43
DAC Code							42	41	39	38
Preamp			27	26	25	24	23	22	21	20
Disc			19	18	17	16	15	14	13	12
IKrum			11	10	9	8	7	6	5	4

werden muss. Aus technischen Gründen<sup>3</sup> sendet das Auslesesystem immer ein weiteres Oktett an den TimePix-Chip. Damit werden zum Beschreiben und zum Auslesen des FSRs immer  $256 + 8 + 8 = 272$  Taktzyklen benötigt.

Während der Entwicklung des Auslesesystems konnte somit die falsch dokumentierte Anordnung des Inhalts im FSR korrigiert werden. Ebenso stellte sich heraus, dass die Anzahl der Taktzyklen zum korrekten Beschreiben und Auslesen des FSRs um mindestens einen Takt erhöht werden musste.

## 5.4 Messungen am Gesamtsystem

Nach den erfolgreichen Tests der Komponenten muss auch das Zusammenspiel des Gesamtsystems kontrolliert werden. Es muss überprüft werden, wie sich das System bei einer gewöhnlichen Datenerfassung verhält, das heißt es müssen Tests durchgeführt werden, wenn sich der TimePix-Chip im Zählmodus befindet. Diese Tests werden in diesem Abschnitt beschrieben werden.

Es wurden Messungen mit Rauschen, dem Testpulsgenerator und niederfrequenter elektromagnetischer Strahlung durchgeführt. Mit diesen Messungen lassen sich das Einstellen der Strom- und Spannungsquellen, der Schwellen sowie die Funktionalität der Testbits und der Maskenbits untersuchen. Außerdem kann die korrekte Steuerung der Blendenöffnungszeit überprüft werden.

<sup>3</sup>Da während der Serialisierung 8 bit breite Wörter verarbeitet werden, ist es technisch einfacher immer solche Datenpakete an den TimePix-Chip zu senden, dessen Länge durch 8 teilbar ist.

#### 5.4.1 Überprüfung der Funktionen durch Messungen mit Rauschen

Die leichteste und schnellste Möglichkeit zur Überprüfung der korrekten Funktion der Datenerfassung mit dem TimePix-Chip und des eingesetzten Auslesesystems bietet die Messung mit Rauschen. Wird die globale Schwellenspannung  $U_{\text{THL}}$  verkleinert, werden ab einem gewissen Wert auch Rauschspannungen vom Diskriminator verarbeitet. Da es sich beim Rauschen um einen stochastischen Prozess handelt, erwartet man eine zufällige Verteilung der Häufigkeit der Zählstände im linear rückgekoppelten Schieberegisters einer jeden Matrixzelle. Der Wert des Zählstandes hängt dabei stark von dem verwendeten TimePix-Betriebsmodus ab (Abschnitt 2.3.1).

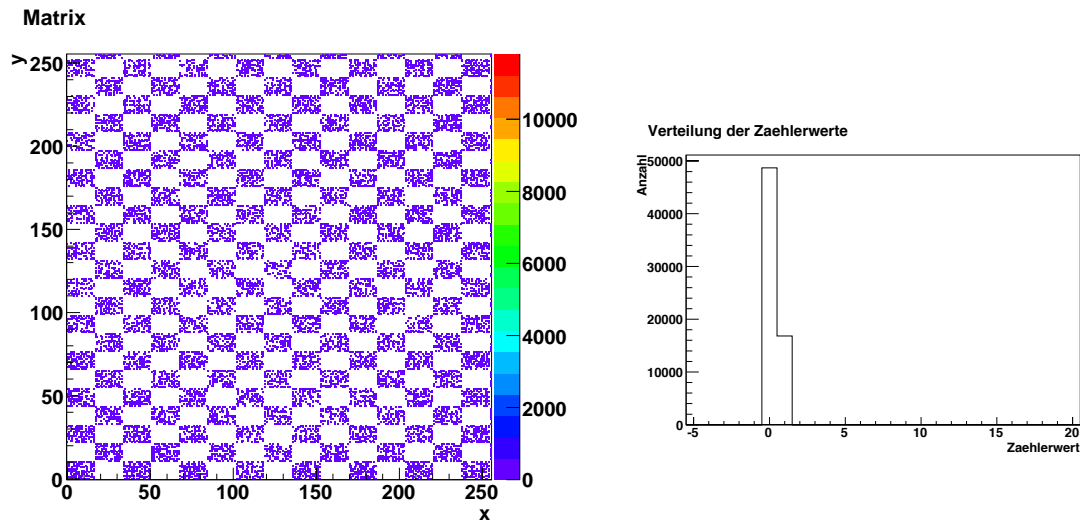
Aus der Kenntnis der Funktionsweise des TimePix-Chips (Kapitel 2) kann auf die korrekte Funktion des Datenerfassungssystems geschlossen werden, wenn folgende Fragen beantwortet werden können:

1. Welches Bild und welche Zählstände erhält man, wenn man Rauschen in einem der vier TimePix-Betriebsmodi aufnimmt?
2. Wie ändern sich das Bild und die Zählstände, wenn die Schwellenpegel verändert werden?
3. Können einzelne Matrixzellen maskiert werden, so dass kein Rauschen erfasst wird?
4. Wie wirkt sich die Veränderung der Blendenöffnungszeit auf die Zählwerte aus?

Um die Ergebnisse vergleichen zu können, wurden die Messungen bei identischen Strom- und Spannungswerten durchgeführt. Für diese Tests wurden die bekannten Referenzeinstellungen (Ummenhofer, 2008) verwendet, die in Tabelle 5.2 aufgelistet sind. Wichtig ist hier der globale Schwellenwert  $\text{THL}$ , der während der Messungen im Bereich von 290 bis 330 variiert wurde. Der lokale Schwellenstrom  $I_{\text{THS}}$  für jede Matrixzelle wurde ausgeschaltet, da eine Schwellenfeinjustierung für diese Messungen irrelevant ist.

**Tabelle 5.2:** Konfiguration der Strom- und Spannungswerte des TimePix-Chips

Strom- bzw. Spannungsquelle	DAC-Wert
THL Coarse	7
THL	330
IKrum	5
Disc	127
Preamp	255
BuffAnalogA	127
BuffAnalogB	127
Hist	0
Vcas	130
FBK	128
GND	80
THS	76
BiasLVDS	128
RefLVDS	128



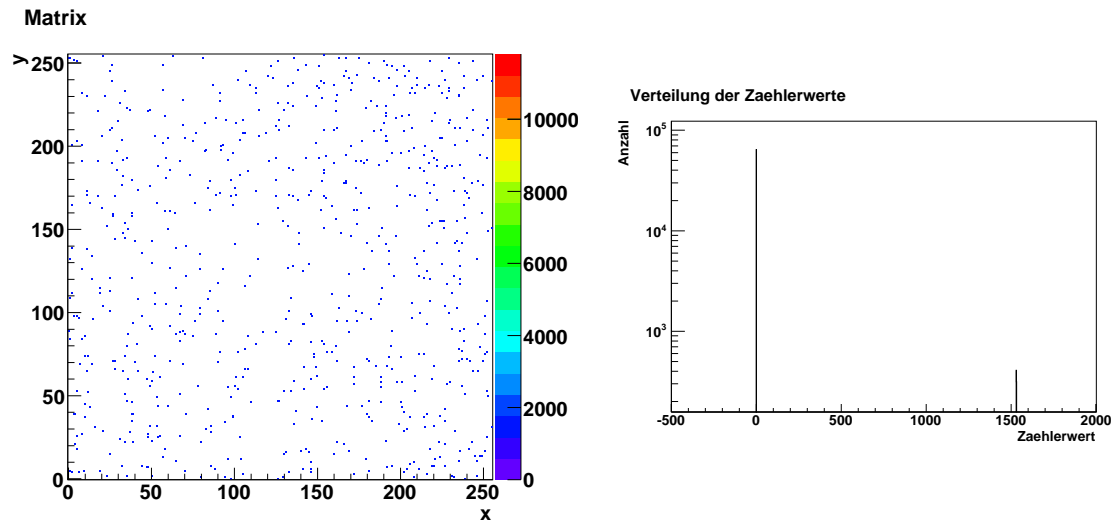
**Abbildung 5.7:** Aufnahmen des Rauschens im Eintreffer-Modus. Es wurde ein kariertes Muster mit Rechtecken der Größe von  $17 \cdot 11$  Matrixzellen gewählt (linkes Bild). Die weißen Flächen deuten die maskierten Bereiche an. Die violetten Bereiche sind unmaskiert und tragen den Zählwert 1. Im rechten Bild erkennt man die Verteilung der Zählwerte. Das Bild wurde bei einer Schwelle von  $\text{THL} = 330$  aufgenommen.

Zuerst soll eine Messung im Eintreffer-Modus durchgeführt werden. Diese Messung ist sehr einfach zu interpretieren, da als Ergebnis nur die Zählwerte Null oder Eins erwartet werden. Registriert eine Matrixzelle während der Blendenöffnungszeit einen Signalpuls, so nimmt das interne Register den Wert Eins an, ansonsten bleibt es auf Null. Die Messung kann ebenfalls mit der Maskierung einiger Matrixzellen kombiniert werden. Auch hier ist die Vorhersage sehr einfach: Ist eine Matrixzelle maskiert, so bleibt der Zählstand immer auf Null, unabhängig vom Eingangssignal. Für die Messung wurde die Matrix gleichförmig in Bereiche aufgeteilt, die 17 Matrixzellen in  $x$ -Richtung und 11 Matrixzellen in  $y$ -Richtung groß waren. Diese Bereiche wurden abwechselnd maskiert bzw. unmaskiert im Eintreffer-Modus betrieben. Abbildung 5.7 zeigt das Ergebnis der Messung. Im linken Bild ist die Matrix dargestellt. Weiße Flächen bedeuten den Wert Null. Die violetten Flächen stehen für den Wert Eins. Die Verteilung der Zählwerte in der rechten Abbildung bestätigt, dass nur die Werte Null oder Eins vorkommen. Die maskierten Bereiche haben alle den Wert Null. Das bedeutet, dass die Maskierung einwandfrei funktioniert. Die violetten Bereiche sind im Eintreffer-Modus und unmaskiert. Matrixzellen, die das Rauschsignal detektierten, nahmen hier einen Wert Eins an, während Matrixzellen, die keine Rauschsignale erfassten, auf Null blieben. Die korrekte Funktion des Eintreffer-Modus konnte somit bestätigt werden.

Eine weitere leicht interpretierbare Messung ist die im Ankunftszeit-Modus. Bei dieser Messung wird erwartet, dass sobald eine Matrixzelle während der Blendenöffnungszeit ein Rauschsignal erfasst, deren internes Register solange inkrementiert bis die Blende wieder geschlossen wird oder der Maximalwert von 11810 erreicht wird. Wird diese Messung bei einer Betriebsfrequenz von  $\nu_{\text{Takt}} = 40$  MHz durchgeführt und ist die Blende  $t_1 = 38,25$   $\mu\text{s}$  lang geöffnet, so ist der maximal zu erwartende Zählstand:

$$N = \nu_{\text{Takt}} \cdot t_1 = 1530. \quad (5.1)$$

Daher sollten die Zählstände Werte zwischen Null und 1530 einnehmen. In Abbildung 5.8 ist das Er-



**Abbildung 5.8:** Aufnahmen des Rauschens im Ankunftszeit-Modus. Im linken Bild ist die Matrix dargestellt. Neben den weißen Flächen (Zählstand Null) kommen einige blaue Punkte vor, die einen Zählstand von 1530 haben. Im rechten Bild ist die Verteilung der Zählerwerte aufgetragen. Es kommen exakt nur die Werte Null, 1530 und vereinzelt 1531 vor. Das Bild wurde bei einer Schwelle von  $THL = 350$  aufgenommen.

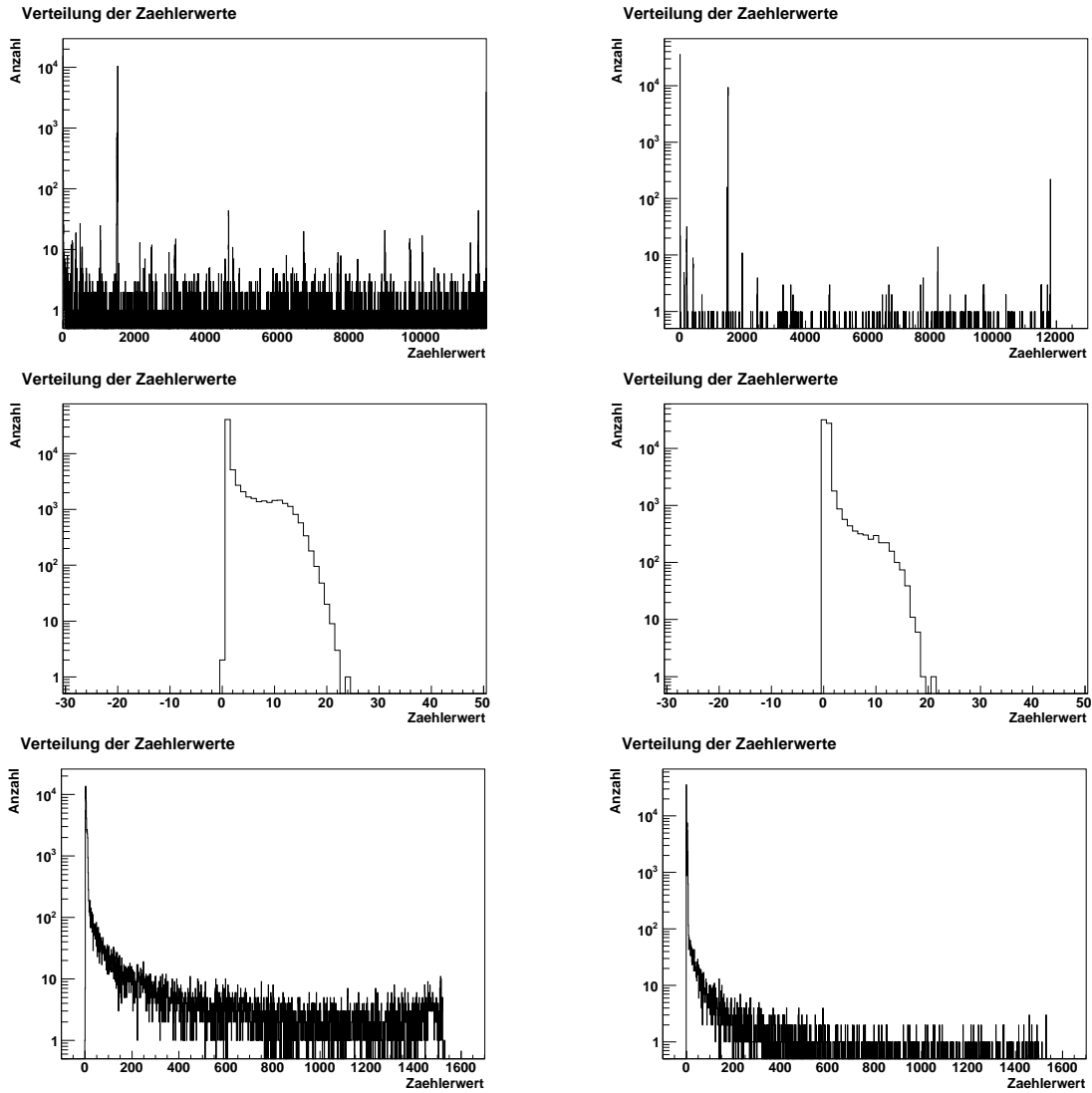
gebnis bei einer Messung mit einer eingestellten Schwelle ( $THL$ ) von 350 dargestellt. Erstaunlicherweise erkennt man nur die beiden Zählerwerte Null und 1530. Das bedeutet, dass alle Matrixzellen, welche ein Rauschsignal detektieren, sofort nach dem Öffnen der Blende inkrementieren. Zählstände von Matrixzellen, die kein Rauschsignal erfassen, bleiben bei Null.

Zur weiteren Analyse werden jetzt die Schwellen auf die niedrigeren Werte 330 bzw. 290 gesetzt. Das Ergebnis in Abbildung 5.9 oben zeigt ebenfalls ein erstaunliches Verhalten. Die Zählstände bei Null und 1530 dominieren und sind als Spitzen in den beiden oberen Bildern erkennbar. Jedoch kommen jetzt auch alle anderen Werte im Bereich von Null bis 11810 vor. In Abbildung 5.10 oben erkennt man in der räumlichen Verteilung, dass im unterem Bereich der Matrix nur die Zählerwerte um 1530 vorkommen<sup>4</sup>. Im oberen Bereich der Matrix kommen dagegen alle Werte vor, sogar Werte über 1530. Bei einem  $THL$ -Schwellenwert von 330 ist in der Matrix (rechtes oberes Bild in Abbildung 5.10) ebenfalls ein Bereich erkennbar, in dem Zählerwerte verschieden von 1530 bzw. Null vorkommen.

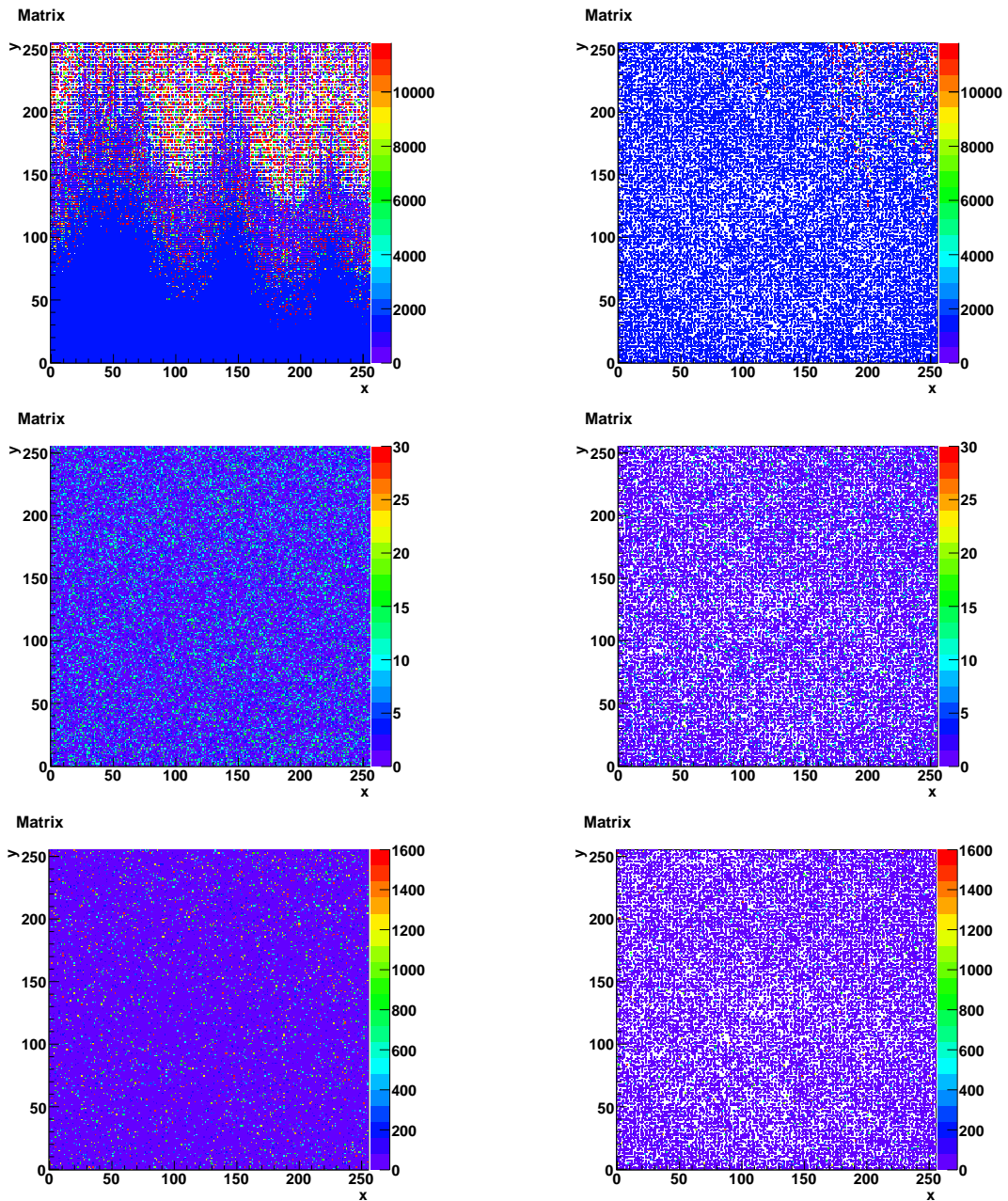
Der TimePix-Chip zeigt daher bei zu niedrig eingestellten Schwellen ein Fehlverhalten. Dadurch kommt es in einer Matrixzelle zu einer Verschiebung der Arbeitspunkte, die zu systematischen Fehlern führen (Kaminski, 2009). Dieser systematische Fehler äußert sich vor allem darin, dass diese Matrixzellen beim Öffnen der Blende sofort mit dem Inkrementieren des internen Zählers beginnen. Bei einer weiteren Erniedrigung der Schwellen kommen weitere Effekte im Ankunftszeit-Modus hinzu, die größere Bereiche im TimePix-Chip ausschalten und sein Register in einen nicht definierten Zustand versetzen (Kaminski, 2009).

Es verbleiben noch die Messungen in den zwei weiteren TimePix-Betriebsmodi. Bei einer Messung im Ereigniszähl-Modus erhöhen die Matrixzellen ihren Zählstand jedes Mal nur um Eins, wenn das Diskriminatorsignal über die Schwelle wechselt. Bei Matrixzellen, die sich dagegen im TOT-Modus be-

<sup>4</sup>Obwohl der Zählerwert 1530 dominiert, kommen in regelmäßigen Abständen Zeilen vor, in denen vereinzelte Einträge den Wert 1531 und 1529 besitzen.

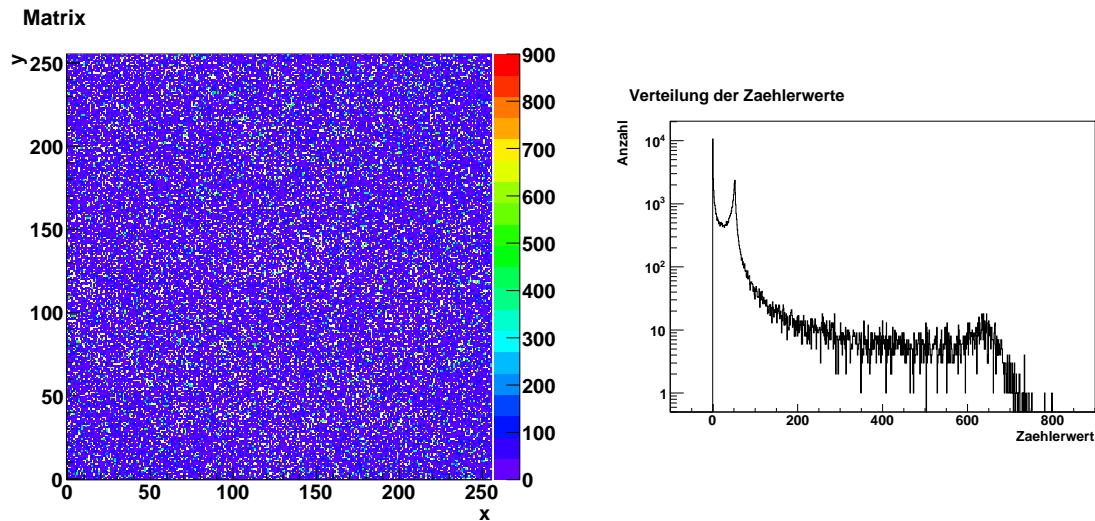


**Abbildung 5.9:** Darstellung der Zählstände nach Aufnahme vom Rauschen im Ankunftszeit-, Ereigniszähl- und TOT-Modus bei den Schwellen ( $\tau_{HL}$ ) von 290 und 330. Links sind alle Bilder bei der Schwelle von 290 dargestellt, rechts bei der Schwelle von 330. Die Bilder oben sind im Ankunftszeit-Modus, die Bilder in der Mitte im Ereigniszähl-Modus und die unteren Bilder im TOT-Modus. In Abbildung 5.10 werden die dazugehörigen Matrixbilder gezeigt. Alle Bilder wurden bei einer Betriebsfrequenz von  $\nu_{Takt} = 40$  MHz und einer Blendenöffnungszeit von  $t_1 = 38,25$   $\mu$ s aufgenommen.



**Abbildung 5.10:** Darstellung der Matrizen nach Aufnahme vom Rauschen im Ankunftszeit-, Ereigniszähl- und TOT-Modus bei den Schwellen (THL) von 290 und 330. Links sind alle Bilder bei der Schwelle von 290 dargestellt, rechts bei der Schwelle von 330. Die Bilder oben sind im Ankunftszeit-Modus, die Bilder in der Mitte im Ereigniszähl-Modus und die unteren Bilder im TOT-Modus. Alle Bilder wurden bei einer Betriebsfrequenz von  $\nu_{\text{Takt}} = 40$  MHz und einer Blendenöffnungszeit von  $t_1 = 38,25 \mu\text{s}$  aufgenommen.





**Abbildung 5.11:** Aufnahme des Rauschens im Ereigniszähl-Modus bei einer Schwelle von 330. Bei der Aufnahme wurde die Blende 52-mal für jeweils  $t = 38,25 \mu\text{s}$  geöffnet. In der Verteilung der Zählstände (linkes Bild) dominieren die Zählwerte bei Null und 52.

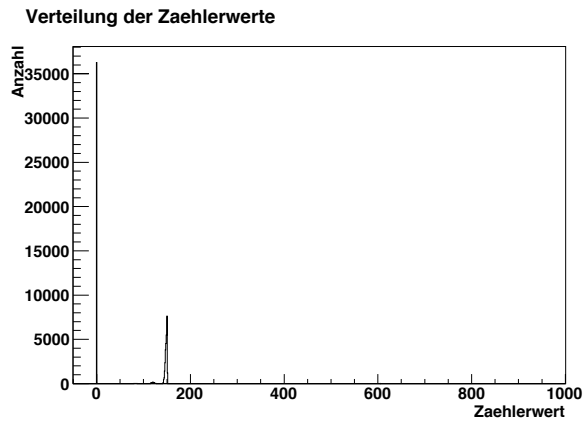
finden, inkrementiert die TSL solange wie das Diskriminatorsignal über der Schwelle liegt. Die Ergebnisse der Messung sind ebenfalls in Abbildung 5.9 dargestellt. Die Messungen wurden auch hier bei Schwellen von 290 bzw. 330 aufgenommen.

Die dargestellten Zählstände für den TOT-Modus in den beiden unteren Bildern in Abbildung 5.9 zeigen eine gleichmäßige Verteilung der Zählwerte bis 1530, wobei die Zählwerte für kleine Werte dominieren. Bei höheren Schwellen sinkt die Anzahl an großen Zählwerten und viele Register der Matrixzellen verbleiben auf dem Wert Null. Die Dominanz bei kleinen Werten ist ebenfalls auf das vorhin erwähnte Fehlverhalten des TimePix-Chips bei kleinen Schwellenwerten zurückzuführen. Beim Öffnen der Blende springt das Diskriminatorsignal kurzzeitig über die Schwelle und das Register inkrementiert. Bei niedrigeren Schwellen beobachtet man ebenso, dass aufgrund des systematischen Fehlers die Verteilung der Zählwerte sich der im Ankunftszeit-Modus angleicht, da hier das Diskriminatorsignal über der Schwelle verbleibt.

Die gleiche Ursache erklärt die Gründe für die Verteilung der Zählstände im Ereigniszähl-Modus (Abbildung 5.9 Mitte). Hier werden nur Zählstände zwischen Null und 24 angenommen. Bei niedrigeren Schwellen dominiert immer stärker der Zählstand bei Eins. Weitere Tests haben ergeben, dass der TimePix-Chip sich im Ereigniszähl-Modus, bedingt durch den systematischen Fehler beim Öffnen der Blende bei zu niedrigen Schwellen, wie im Eintreffer-Modus verhält.

Die Auswirkungen dieses systematischen Fehlers im TimePix-Chip wird auch bei einer Mehrfachbeleuchtung sichtbar. Wird bei einer Messung im Ereigniszähl-Modus die Blende 52-Mal hintereinander geöffnet und geschlossen, erwartet man aus den zuvor genannten Gründen, dass jetzt die Zählwerte nicht mehr bei Null und Eins dominieren, sondern bei Null und 52. Das Ergebnis in Abbildung 5.11 bestätigt diese Vermutung. Jedes Mal wenn die Blende geöffnet wird, inkrementiert die TSL in einer Matrixzelle, da bei der niedrigen Schwelle kurzfristig das Diskriminatorsignal zu diesem Zeitpunkt über der Schwelle liegt.

Dieses Fehlverhalten des TimePix-Chips kann wiederum zur Überprüfung der korrekten Steuerung



**Abbildung 5.12:** Aufnahmen des Rauschens im Ankunftszeit-Modus bei einer Blendenöffnungszeit  $t_2 = 3,75 \mu\text{s}$ . Der Zählstand von 150 dominiert bei diesem eingestellten Zeitfenster. Das Bild wurde bei einer Schwelle von  $\text{THL} = 330$  aufgenommen. Die Verteilung ist linear dargestellt, damit sich die beiden Spitzen bei Null und 150 besser vom Untergrund abheben.

der Blendenöffnungszeit im FPGA genutzt werden. In den vorangegangenen Messungen wurde die Blende  $t_1 = 38,25 \mu\text{s}$  geöffnet, daher lag der maximale Zählstand nach der Rechnung in 5.1 bei 1530. Wird die Blende jetzt nur für  $t_2 = 3,75 \mu\text{s}$  geöffnet, sollten im Ankunftszeit-Modus bei einer Betriebsfrequenz von  $\nu_{\text{Takt}} = 40 \text{ MHz}$  die Zählwerte bei Null und

$$N = \nu_{\text{Takt}} \cdot t_2 = 150 \quad (5.2)$$

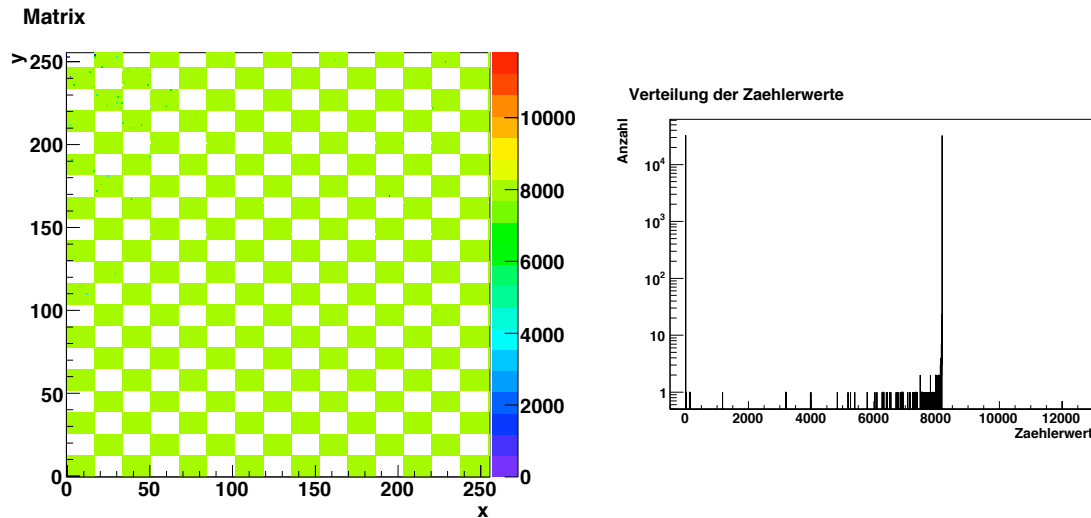
in der Verteilung dominieren. Dieses Ergebnis ist auch in Abbildung 5.12 erkennbar. Hier sind die beiden Spitzen bei Null und 150 deutlich sichtbar.

Die Tests mit dem Rauschen in den vier TimePix-Betriebsmodi konnten die korrekte Funktion des Auslesesystems bei der Datenerfassung bestätigen. Es lassen sich alle vier Modi einstellen und es können gegebenenfalls die einzelnen Matrixzellen maskiert werden. Ebenso kann die Blendenöffnungszeit präzise eingestellt und diese Einstellung in den Tests verifiziert werden. Außerdem konnte ein bekanntes Fehlverhalten des TimePix-Chips erkannt und reproduziert werden. Dieses Fehlverhalten konnte sogar für die Funktionstests, wie z.B. bei der Blendenöffnungszeit, genutzt werden.

#### 5.4.2 Messungen mit dem Testpulsgenerator

Das Auslesesystem muss ebenfalls darauf untersucht werden, ob der Betrieb mit Testpulsen korrekt funktioniert. Das Einkoppeln der Testpulse ist für die Bestimmung der effektiven Schwellenhöhe des TimePix-Chips notwendig. Auch eine Kalibrierung des TOT-Modus ist somit möglich. Mit Hilfe von Spannungspulsen definierter Höhe lassen sich den Zählständen eine in der Matrixzelle deponierte Ladungsmenge zuordnen (Ummenhofer, 2008).

Die an jeden Vorverstärkereingang angeschlossene Injektionskapazität  $C_T$  ermöglicht es, das Antwortverhalten des Chips auf Ladungspulse definierter Höhe zu untersuchen (siehe Abbildung 2.4 in



**Abbildung 5.13:** Bild der Matrix nach Einkoppeln von Testpulsen im Ereigniszähl-Modus. Es wurde ein kariertes Muster mit Rechtecken der Größe von  $17 \cdot 11$  Matrixzellen gewählt (linkes Bild). Einkoppelt wurden ungefähr 8000 Impulse. Daher dominiert der Zählstand von 8000 in der Verteilung. Vereinzelt kamen defekte Matrixzellen vor, welche nicht auf jeden Testpuls reagierten, weshalb auch Wert unterhalb von 8000 in der Verteilung vorkommen. Im linken Bild erkennt man die Bereiche, die sich im Testpuls-Betrieb befanden, an der grünen Farbe.

Kapitel 2). Über die Injektionsleitungen in die Kapazität  $C_T$  eingebrachte Spannungen  $\Delta U$  erzeugen dann einen Ladungspuls gemäß  $Q_{inj} = C_T \cdot \Delta U$ .

Das durch den Spannungsimpuls eingebrachte Testpulssignal ist an einem Impedanzwandler angeschlossen. Dieser Impedanzwandler ist als nichtinvertierender Operationsverstärker realisiert und dient als Puffer, der die Spannungspulsanstiegszeit minimieren soll. Aus diesem Grund muss der Testpuls  $\Delta U$  im Bereich von  $335 \text{ mV} < \Delta U < 2,18 \text{ V}$  liegen, damit das Verstärkungsverhalten des Impedanzwandlers konstant bei  $U_{ein}/U_{aus} = 1$  liegt (Llopart, 2006). Erst in diesem konstanten Verstärkungsbereich kann eine Kalibrierung des TOT-Modus erfolgen.

Das Laden der Injektionskapazität erfolgt durch einen schnellen Wechsel der Spannungspegel von  $\Delta U$  in dem vorgeschriebenen Bereich. Eine ansteigende Flanke entspricht einer Sammlung positiver Ladungsträger. Eine fallende Flanke entspricht dagegen einer Sammlung von negativen Ladungen. Die Anstiegs- bzw. Abfallszeiten müssen weit unterhalb der Anstiegszeit des Vorverstärkers von  $t < 150 \text{ ns}$  liegen (Llopart, 2006).

Zur Einkoppelung der Testpulse muss neben den Testpulsen auch ein Aktivierungssignal mit den Steuersignalen an den TimePix-Chip gesendet werden, welches den Chip in den Testbetriebszustand versetzt. Zusätzlich muss beim Setzen der Strom- und Spannungsquellen im Chip der Inhalt eines 32 bit breiten Testpuls-Registers in das FSR geladen werden. Dadurch können bestimmte Injektionsleitungen der Matrix aktiviert bzw. deaktiviert werden.

Für die Messungen wird als Signalform eine Sägezahnspannung verwendet, deren abfallende Flanke eine Abfallzeit von  $t < 10 \text{ ns}$  besitzt. Das Signal wurde an den koaxialen Eingang auf dem Steckadapter eingebracht und direkt zum TimePix-Chip weitergeleitet. In Abbildung 5.13 ist die Matrix nach Einkoppeln der Testpulse bei einer weit über dem Rauschen liegende Schwelle dargestellt. Die Spannungs-

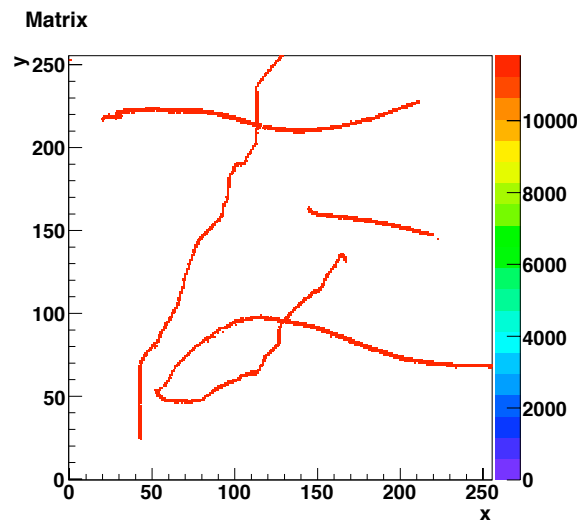


Abbildung 5.14: Schreiben des japanischen Silbenzeichens な auf den TimePix-Chip mit Hilfe eines Drahtes.

differenz betrug  $\Delta U = 400$  mV. Die am Funktionsgenerator eingestellte Sägezahnspannung hatte eine Periodendauer von  $t_s = 1$  ms. Der Chip wurde im Ereigniszähl-Modus betrieben, wobei abwechselnd Bereiche eingestellt waren, bei denen der Testbetrieb aktiviert bzw. deaktiviert wurde. Die Bereiche hatten eine Größe von  $17 \cdot 13$  Matrixzellen. Die Blende war innerhalb einer Belichtungszeit von  $t \approx 8$  s geöffnet. Aus der Verteilung der Zählwerte erkennt man sehr gut die korrekte Funktionalität des Chips in diesem Modus mit Testpulsen. Der TimePix-Chip inkrementierte die Zähler in den Matrixzellen auf jeder abfallenden Flanke des Testsignals. Der maximale Zählstand ist somit  $N = t/t_s = 8000$ .

Die Ergebnisse der Messung verdeutlichen, dass auch ein Betrieb mit einem Testpulsgenerator mit dem Auslesesystem möglich ist. Dadurch kann das System auch für die Bestimmung der effektiven Schwellenhöhen und für eine Kalibrierung des TOT-Modus genutzt werden.

### 5.4.3 Messungen mit niederfrequenter elektromagnetischer Strahlung

Ein wesentliches Problem, welches bei den vorherigen Tests mit Rauschen oder Testpuls nicht bzw. nur sehr aufwändig überprüft werden kann, besteht in der Frage, ob beim Auslesen der Matrix die Zuordnung der einzelnen Matrixzellen ins Koordinatensystem richtig erfolgt.

Verwendet man einen dünnen isolierten Draht, dessen Ende an eine Wechselspannungsquelle angeschlossen wird, ist es aufgrund der abgestrahlten elektromagnetischen Strahlung möglich, direkt auf dem TimePix-Chip Ladungen zu induzieren. Mit einer maximalen Frequenz von  $f = 120$  MHz bei einer Amplitude  $U_A = 5$  V ist die Strahlungsleistung so gering, dass die Matrixoberfläche mit dem Draht berührt werden muss, um Effekte zu sehen.

Mit Hilfe des Drahts lässt sich sehr einfach die richtige Zuordnung der Matrixzellen in der Darstellung im Anwenderprogramm überprüfen. Für den Test werden die Schwellen sehr hoch eingestellt und die Blende während des Schreibvorgangs geöffnet. Die Messung wird im Ankunftszeit-Modus durchgeführt, jedoch ist die Wahl des Modus für diesen Test irrelevant. In Abbildung 5.14 ist die Matrix nach Schreiben des japanischen Silbenzeichens な auf den TimePix-Chip dargestellt. Aus der Abbildung er-

kennt man, dass das Zeichen korrekt wiedergegeben wird und daher die Zuordnung der Koordinaten richtig ist.

Zusätzlich zu den Messungen mit dem Rauschen lässt sich mit dem Draht ebenfalls die korrekte Funktion der Blendenöffnungszeitsteuerung überprüfen. Dazu wird der Ankunftszeit-Modus ausgewählt und der Draht während einer kurzen Blendenzeit an den TimePix-Chip gehalten. Prinzipiell lassen sich die Messung ebenso im TOT- bzw. Ereigniszähl-Modus durchführen, weil jedoch der leichte und sehr flexible Draht auf der Matrix zittert und die Zählstände daher starken Schwankungen unterliegen, sind die Ergebnisse in diesen Modi schwieriger auszuwerten.

Insgesamt kann mit Hilfe des Drahtes die korrekte Darstellung der Matrix im Anwenderprogramm bestätigt werden. Ebenso sind die Ergebnisse der Funktion zur Steuerung der Blendenöffnungszeit konform mit den Ergebnissen, die bei den Tests mit Rauschen ermittelt wurden.



## 6 Inbetriebnahme des Auslesesystems an der Zeitprojektionskammer

Nachdem das Auslesesystem einwandfrei betrieben werden kann, muss noch untersucht werden, ob beim Einsatz an einer Zeitprojektionskammer Spuren von Teilchen aufgezeichnet werden und ob im Zusammenhang mit einem längeren Betrieb noch Fehler auftreten können. Die Detektion kosmischer Strahlung bietet dazu eine Möglichkeit.

In diesem Kapitel werden daher die Experimente mit Auslesesystem an einer TPC, die an der Universität Bonn zu Verfügung stand, beschrieben. Es werden die Spuren kosmischer Strahlung, die Ergebnisse aus der Messung und die maximale Ausleserate gezeigt.

### 6.1 Aufbau des Experiments zur Erfassung der kosmischen Strahlung

Zur Erfassung der kosmischen Strahlung wird im Folgenden der Aufbau des Experiments vorgestellt. Dieses besteht aus einer Zeitprojektionskammer, die unter anderem für den Testbetrieb mit dem Time-Pix-Chip konstruiert wurde. Daneben wird das System zur Erzeugung der Auslösersignale erklärt.

#### 6.1.1 Aufbau des Zeitprojektionskammerprototypen

Die grundlegenden Bestandteile der Zeitprojektionskammer sind der Feldkäfig und die Gasverstärkungsstruktur basierend auf GEMs. Zusätzlich muss eine Hochspannung angeschlossen und die Kammer mit einem Zählgas gespült werden.

Die Hauptaufgabe des Feldkäfigs ist die Erzeugung eines homogenen elektrischen Feldes entlang der Längsachse der Zeitprojektionskammer. Ihre Grundform entspricht der eines Hohlzylinders mit einem äußeren Radius von 260 mm und einem Innenradius von 231 mm. Die auf einer Länge von

$$l = 260 \text{ mm} \quad (6.1)$$

ringförmig angebrachten Kupferstreifen ermöglichen Feldstärken bis zu  $E = 1,0 \cdot 10^5 \frac{\text{V}}{\text{m}}$ . In dem Versuch wurde ein Driftfeld mit einer Feldstärke von

$$E_{\text{Driftfeld}} = 5,0 \cdot 10^4 \frac{\text{V}}{\text{m}} \quad (6.2)$$

eingestellt.

Der Mantel des Feldkäfigs muss Gasdichtigkeit bei geringem Überdruck gewährleisten. Der Materialbedarf ist soweit minimiert, dass ein ionisierendes Teilchen nur 1 % der Strahlungslänge durchqueren muss<sup>1</sup> (Ummenhofer, 2008).

---

<sup>1</sup>Das gilt allerdings pro Wand. Das ionisierende Teilchen muss beim Eintritt und beim Austritt jeweils 1 % der Strahlungslänge durchqueren. Hinzu kommen noch 20 cm Gas.

Als Gasverstärkungsstrukturen werden GEMs mit einer aktiven Fläche von  $100 \text{ mm} \cdot 100 \text{ mm}$  verwendet. Für den Betrieb in der TPC können an die beiden mit Kupfer beschichteten Oberflächen einer solchen GEM Spannungen zwischen 300 V und 400 V angelegt werden. Das entspricht einem Feldgradienten von bis zu  $E = 7,0 \cdot 10^6 \frac{\text{V}}{\text{m}}$ . Um die für die Auslese notwendige Verstärkung der Elektronen von ungefähr  $10^5$  zu erhalten, wurden drei GEMs zu einem Stapel zusammengefasst. In die Aussparung einer Leiterplatte wird rückseitig die mit dem TimePix-Chip bestückte Trägerplatine mittig eingeklebt und hinter den GEM-Stapel angebracht. Diese Ausleseplatine mit der Anodenplatte und dem GEM-Stapel wird auf eine glasfaserverstärkte Kunststoffplatte geklebt. Diese ist mit Durchführungen der Hochspannungsversorgung bestückt und schließt das Gasvolumen mit der Aluminium-Endplatte nach außen hin gasdicht ab (Ummenhofer, 2008).

Für die Messungen wurde ein Gemisch aus Helium (70 %) und dem Löschgas  $\text{CO}_2$  (30 %) verwendet. Für dieses Gasgemisch ergibt sich bei der eingestellten Driftfeldstärke  $E_{\text{Driftfeld}}$  eine Driftgeschwindigkeit von

$$v_{\text{Drift}} = 0,9533 \frac{\text{cm}}{\mu\text{s}}. \quad (6.3)$$

Damit wird eine maximale Driftzeit der Elektronen von ungefähr

$$t_{\text{Drift}} = \frac{l}{v_{\text{Drift}}} = 27,27 \mu\text{s} \quad (6.4)$$

erwartet (Kaminski, 2009).

Abbildung 6.1 zeigt den Aufbau an der Zeitprojektionskammer. Diese befindet sich im Bildhintergrund. Man erkennt die Endkappe, an welcher sich der Gasanschluss, der Hochspannungsanschluss und der Anschluss an den TimePix-Chip befinden. Im Vordergrund erkennt man das Auslesesystem, das über den FFC<sup>2</sup> mit der TimePix-Trägerplatine angeschlossen ist.

### 6.1.2 Erzeugung des Auslösersignals

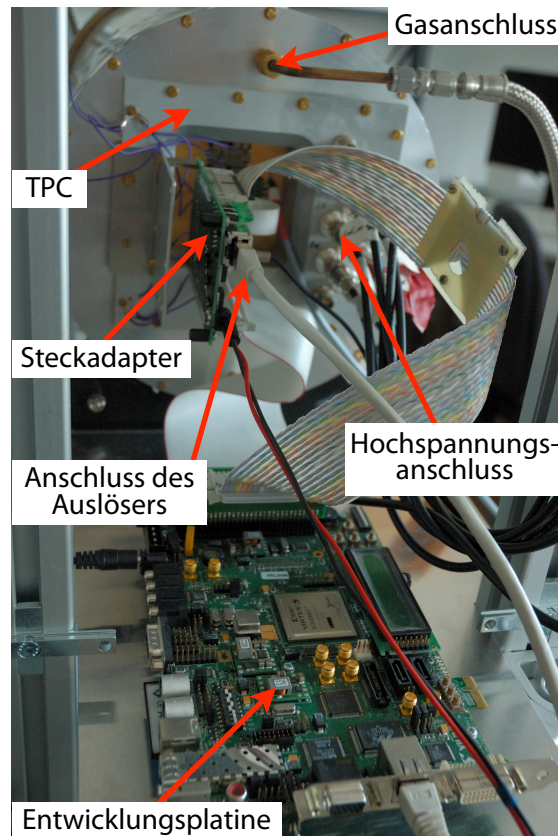
Zur dreidimensionalen Spurrekonstruktion in einer Zeitprojektionskammer ist neben einer Positionsbestimmung in der Auslese-Ebene ( $x$ - $y$ -Richtung) auch eine Driftzeitmessung notwendig. Daher muss ein Auslösersignal generiert werden, sobald ein geladenes Teilchen die Kammer durchquert und eine Spur aus Elektronen-Ionen-Paaren in der Kammer hinterlässt. Dazu befinden sich über und unter der Kammer jeweils Szintillatoren, die über Fotovervielfacher ausgelesen werden. Die Signale der Fotovervielfacher werden von einer Koinzidenzschaltung verarbeitet, die dann ein Auslösersignal im TTL-Pegel erzeugt. Um das Auslösersignal zu erzeugen, müssen die Strahlen daher zuerst den oberen Szintillator, die Kammer, Blei von 10 cm Länge und den unteren Szintillator durchqueren. Damit werden hauptsächlich hochenergetische Teilchen detektiert.

Das Auslösersignal kann dann an den Steckadapter des Auslesesystems angeschlossen und an den FPGA weitergeleitet werden. Im FPGA wird anschließend das Blendensignal an den TimePix-Chip erzeugt. Die Dauer der Blendenöffnungszeit orientiert sich an der maximalen Driftzeit der Elektronen in der Kammer. Die Dauer wird zusätzlich um 25 % erhöht um möglichst viele Elektronen aus den GEMs zu detektieren und damit ein deutlicheres Bild der Spuren zu erhalten (Kaminski, 2009). Während des Versuchs wurde daher im Anwenderprogramm eine Öffnungszeit von ungefähr  $35 \mu\text{s}$  eingestellt.

---

<sup>2</sup>Englische Abkürzung für Flat Flex Cable. Ein FFC bezeichnet eine Flachbandleitung (siehe Abschnitt 4.3.1)





**Abbildung 6.1:** Foto des an den Feldkäfig angeschlossenen Auslesesystems. Die Szintillatoren mit den Fotovervielfachern, die sich jeweils über und unter der TPC befinden, sind auf der Abbildung nicht zu erkennen.

Die Auslösersignale können auch in der Auslöse-Logikeinheit TLU, die an der *University of Bristol* entwickelt wurde, generiert werden. Dazu werden die Signale der Fotovervielfacher an die TLU geleitet, die dann das Auslösersignal als LVDS-Signal über die RJ-45 Anschlüsse an den Steckadapter sendet. Wenn das Auslesesystem nicht zu Auswertung der Auslösersignale bereit ist, stellt es sicher, dass diese nicht von der TLU gesendet werden. Ebenso werden die TTL-Signale bei der erstgenannten Methode nur dann ausgewertet, wenn das System dazu bereit ist. Werden in der Zeit, während der das System beschäftigt ist, weitere TTL-Signale erzeugt, werden diese im FPGA verworfen.

## 6.2 Durchführung der Experimente an der Zeitprojektionskammer

Dieser Abschnitt beschreibt die zwei hauptsächlichen Experimente mit dem Auslesesystem. Ziel war die Aufnahme von Spuren kosmischer Strahlung. Dabei sollte das System über eine längere Zeit autonom laufen und die Bilder von ausgelösten Ereignissen aufnehmen. Diese sollten mit den Ergebnissen, die schon vom Betrieb mit MUROS2 bekannt waren, verglichen werden. Außerdem sollte die maximale Ausleserate des Systems bestimmt werden.

### 6.2.1 Vorbereitende Versuche zur Systemüberprüfung

Vor der eigentlichen Aufzeichnung der Spuren kosmischer Strahlung, musste das Auslesesystem aufgebaut und in Betrieb genommen werden. Anhand schnell durchführbarer bekannter Tests (siehe Abschnitt 5.4) sollte die korrekte Funktionalität des Auslesesystems an der TPC überprüft werden. Dazu gehörten:

1. Die Überprüfung der Ethernet-Kommunikation zwischen dem FPGA und dem Rechner, auf dem das Anwenderprogramm installiert wurde
2. Das Schreiben und anschließende Auslesen der TimePix-Matrix
3. Das Auslesen des Rauschens bei bekannten Schwellenwerten für alle vier TimePix-Betriebsmodi jeweils mit und ohne angelegte Hochspannung
4. Die Wiederholung des Rauschtests ausgelöst durch die Koinzidenzschaltung

Die Ethernet-Kommunikation konnte nach einem statischen ARP-Eintrag im Rechner einwandfrei betrieben werden. Der anschließende zweite Tests hatte zum Ergebnis, dass der ausgelesene Matrixinhalt nicht identisch mit dem zuvor gesetzten Matrixinhalt war. Der Unterschied bestand darin, dass lediglich die Matrixzellen in der 36. Spalte des TimePix-Chips immer den Registerinhalt Null aufwiesen. Der Fehler lag in einem Defekt im TimePix-Chip und war dementsprechend bekannt (Kaminski, 2009). Daher enthalten alle Bilder mit dem verwendeten TimePix-Chip eine Spalte, die keine Einträge enthält, unabhängig davon welches Auslesesystem verwendet wurde.

Exemplarisch für die Aufnahmen des Rauschens ist die Messung bei einer Schwelle ( $THL$ ) von 355 in Abbildung 6.2 dargestellt. Die Messung wurde im Ankunftszeit-Modus bei angelegter Hochspannung durchgeführt. Bei einer Betriebsfrequenz von  $\nu_{Takt} = 40$  MHz war die Blende  $t_3 = 34,5$   $\mu$ s geöffnet. Damit ergibt sich ein maximaler Zählstand von

$$N = \nu_{Takt} \cdot t_3 = 1380. \quad (6.5)$$

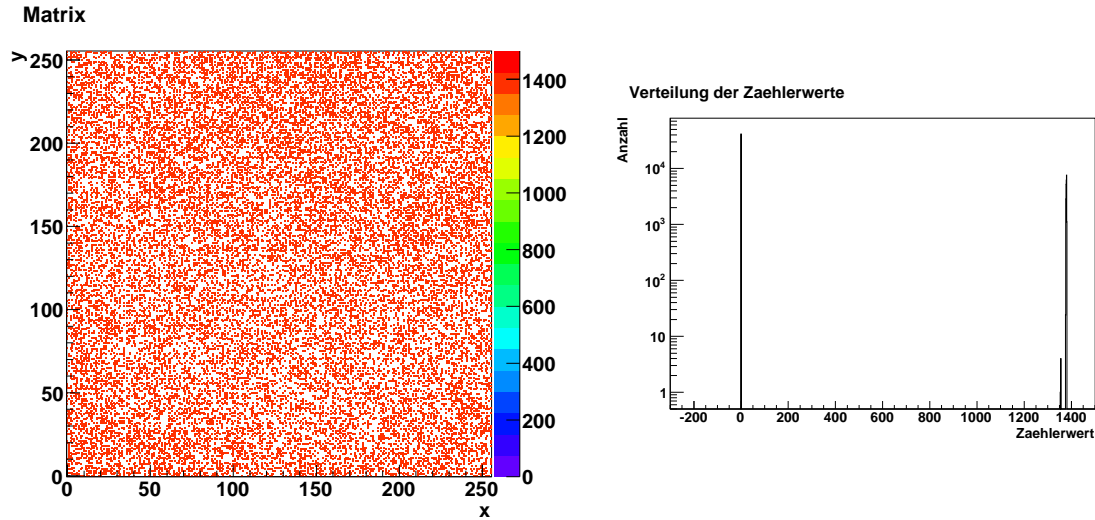
Dieses Ergebnis wird auch in der Messung in Abbildung 6.2 bestätigt. Insgesamt werden die gleichen Beobachtungen gemacht, die schon aus Abschnitt 5.4.1 bekannt sind.

Ebenso konnten die Aufnahme des Rauschens mit dem Auslösersignal gestartet werden. Damit war schon nach ungefähr zwei Stunden sichergestellt, dass das Auslesesystem einwandfrei funktionierte, so dass die Aufnahme von Spuren kosmischer Teilchen möglich war.

### 6.2.2 Aufnahme von Spuren kosmischer Teilchen

Eine Aufnahme von Spuren mit dem Auslesesystem bestätigt in einer eindeutigen Art und Weise die korrekte und einwandfreie Funktion des Systems. Daher werden in diesem Abschnitt einige Aufnahmen von Spuren aus drei Messreihen dargestellt, die im Abstand von bis zu 16 Stunden aufgenommen wurden.

Für die Strom- und Spannungsquellen wurden die Referenzwerte aus Tabelle 5.2 eingestellt. Die Schwellenwerte ( $THL$ ) wurden im Bereich von 300 bis 355 variiert, um die Eigenschaften des TimePix-Chips zu untersuchen. Da auch eine Schwellenfeinjustierung durchgeführt wurde, indem der lokale Schwellenstrom  $I_{THS}$  in jeder Matrixzelle individuell angepasst wurde, addieren sich die beiden Schwellenwerte, so dass schon bei Werten von 348 für  $THL$  fast kein Rauschen erkennbar ist.



**Abbildung 6.2:** Aufnahmen des Rauschens im Ankunftszeit-Modus mit dem in der TPC eingebauten TimePix-Chip und angelegter Hochspannung bei einer Betriebsfrequenz von  $\nu_{\text{Takt}} = 40$  MHz und einer Blendenöffnungszeit von  $t_1 = 38,25$   $\mu\text{s}$ . Dargestellt ist das Bild der Matrix (links) und die Verteilung der Zählerwerte (rechts). In der Verteilung dominieren die Werte bei Null und 1380.

Der TimePix-Chip wurde bei einer Frequenz von  $f_{\text{Takt}} = 44,4$  MHz betrieben. Als Blendenöffnungszeit war  $t_4 = 34,46$   $\mu\text{s}$  eingestellt. Der TimePix-Chip wurde gleichzeitig im Ankunftszeit-Modus und im TOT-Modus betrieben. Dafür wurden die Matrixzellen in einem schachbrettartigen Muster jeweils in einem der beiden Modi konfiguriert. Somit konnte man eine Parallelinformation über Ankunftszeit und deponierte Ladungsmenge erhalten.

Die Driftstrecke der Primärelektronen lässt sich aus dem Zählerwert  $n$  der Matrixzelle, die im Timepix-Modus betrieben wurde, bestimmen. Aus den Betriebsparametern lässt sich der maximale Zählstand berechnen. Dieser entspricht der Anzahl der Taktzyklen während der Blendenöffnungszeit:

$$N_{\text{max}} = f_{\text{Takt}} \cdot t_4 = 1530. \quad (6.6)$$

Subtrahiert man davon den Zählerwert  $n$ , ergibt sich daraus die Driftzeit

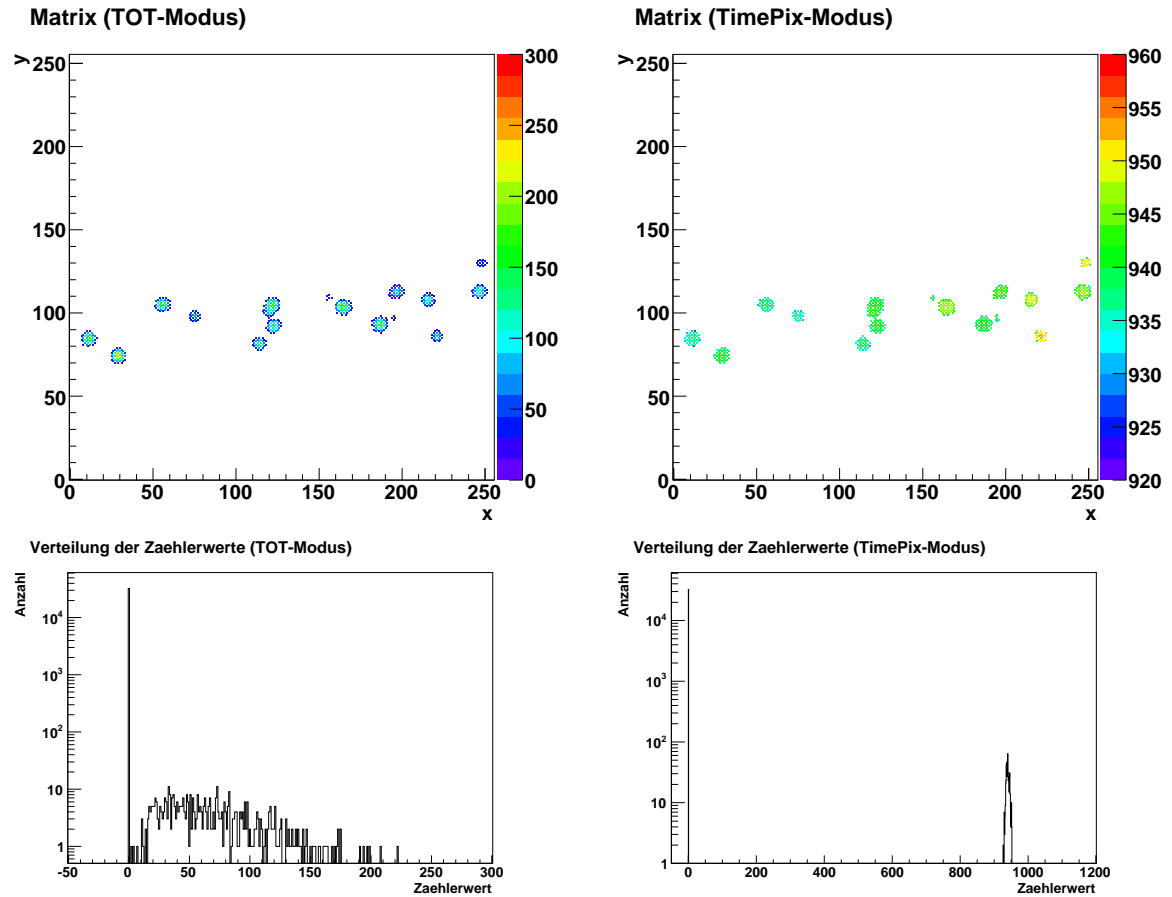
$$t_{\text{Drift}} = \frac{N_{\text{max}} - n}{f_{\text{Takt}}} \quad (6.7)$$

bzw. die Driftstrecke

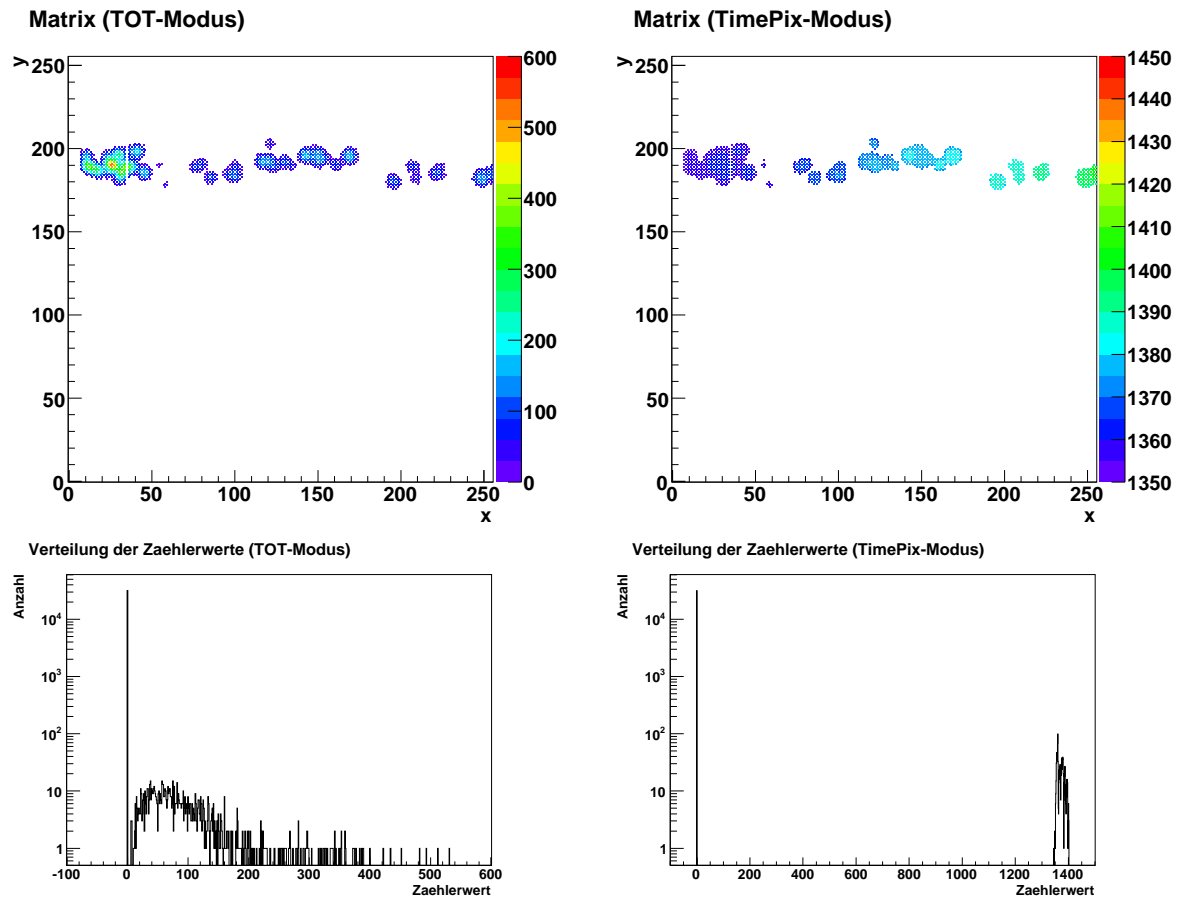
$$s_{\text{Drift}} = t_{\text{Drift}} \cdot v_{\text{Drift}} = \frac{N_{\text{max}} - n}{f_{\text{Takt}}} \cdot v_{\text{Drift}} \quad (6.8)$$

Die Ladung kann nur als Summe der Zählerwerte angegeben werden, da keine Kalibrierung des TOT-Modus vorliegt (Kaminski, 2009).

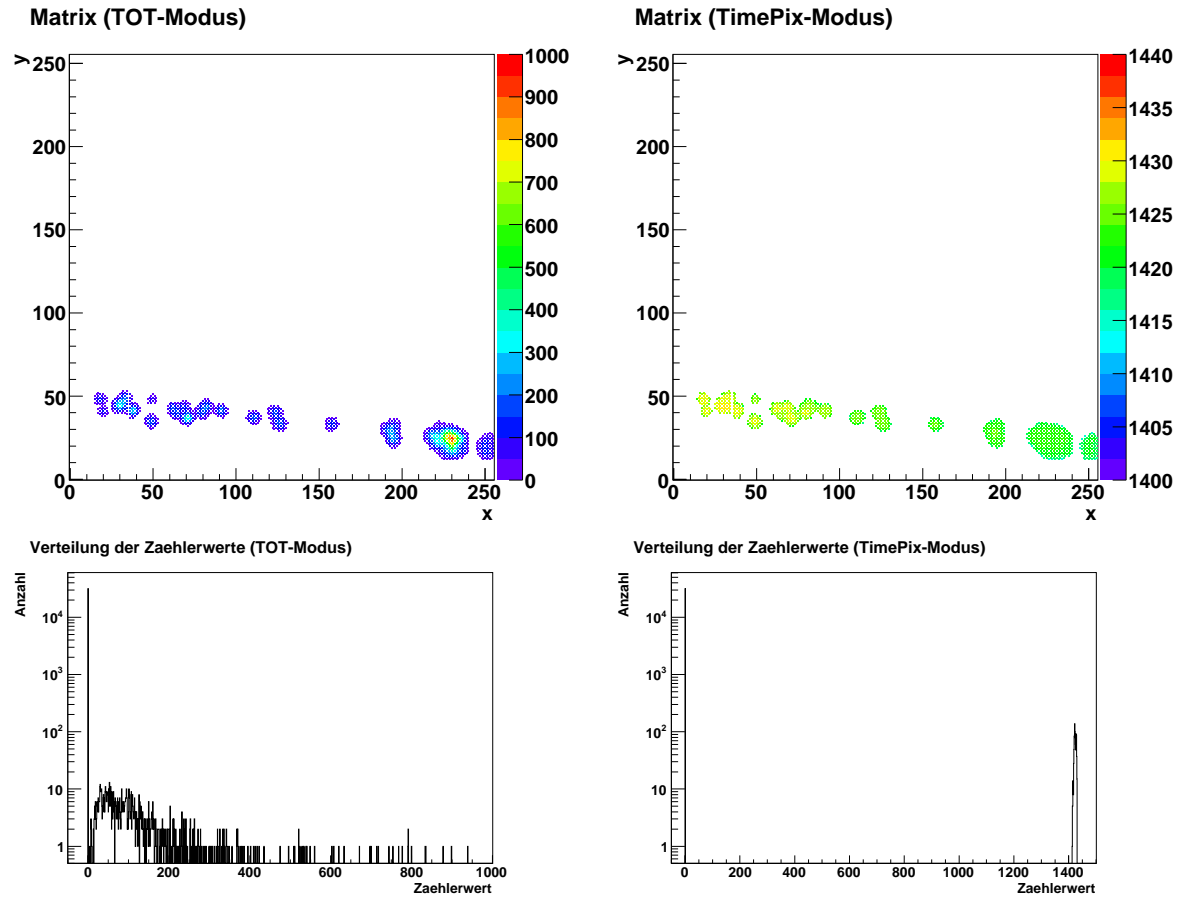
Die so aufgezeichneten Daten haben außerdem den Vorteil, dass diese sofort mit einem Auswerteprogramm analysiert und mit den Ergebnissen aus den Messungen mit MUROS2 verglichen werden. In Abbildung 6.3 bis 6.11 sind derart aufgezeichnete Spuren dargestellt. Dabei ist zu beachten, dass der TimePix-Chip in der TPC so eingebaut war, dass Spuren, die von oben kamen, sich in den Abbildungen von links nach rechts bewegten.



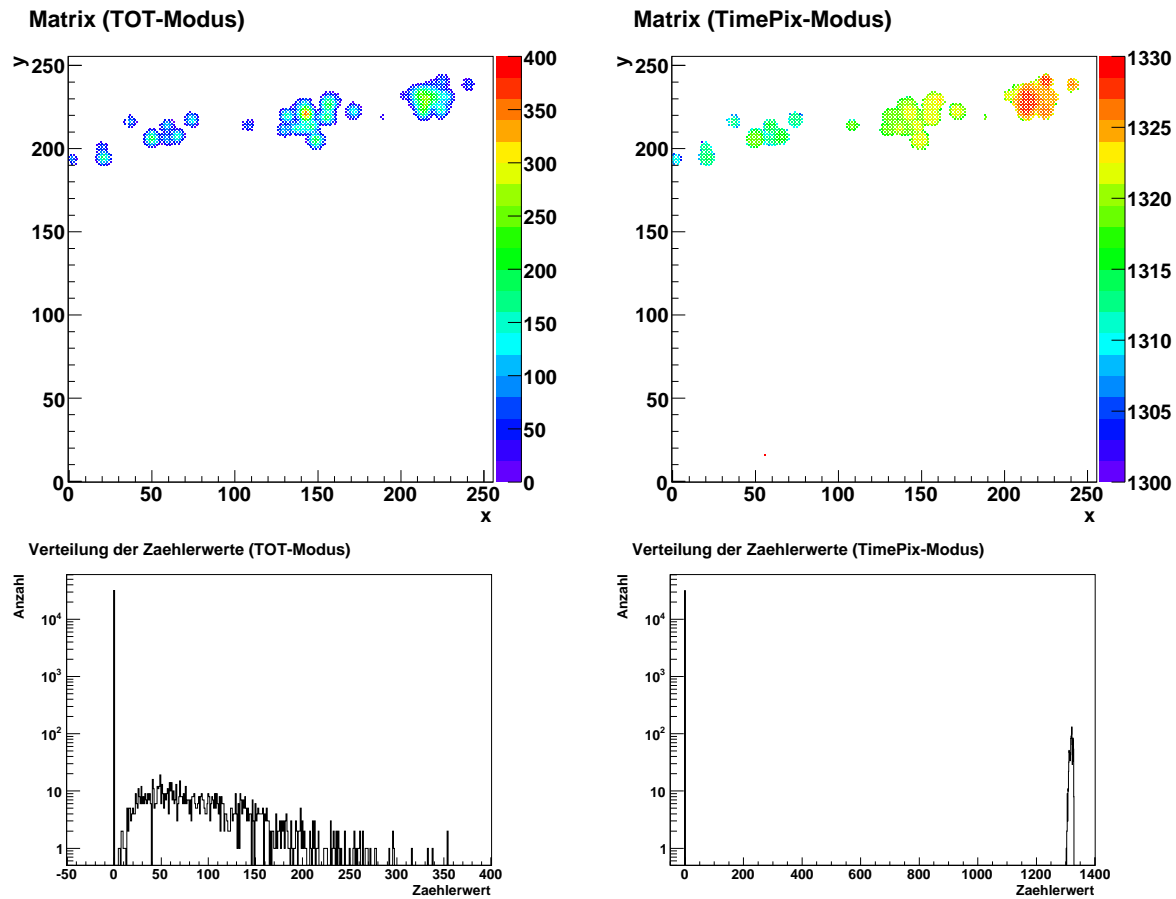
**Abbildung 6.3:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $T_{HL}$ ) von 348. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{\text{Drift}} \approx 12,45$  cm.



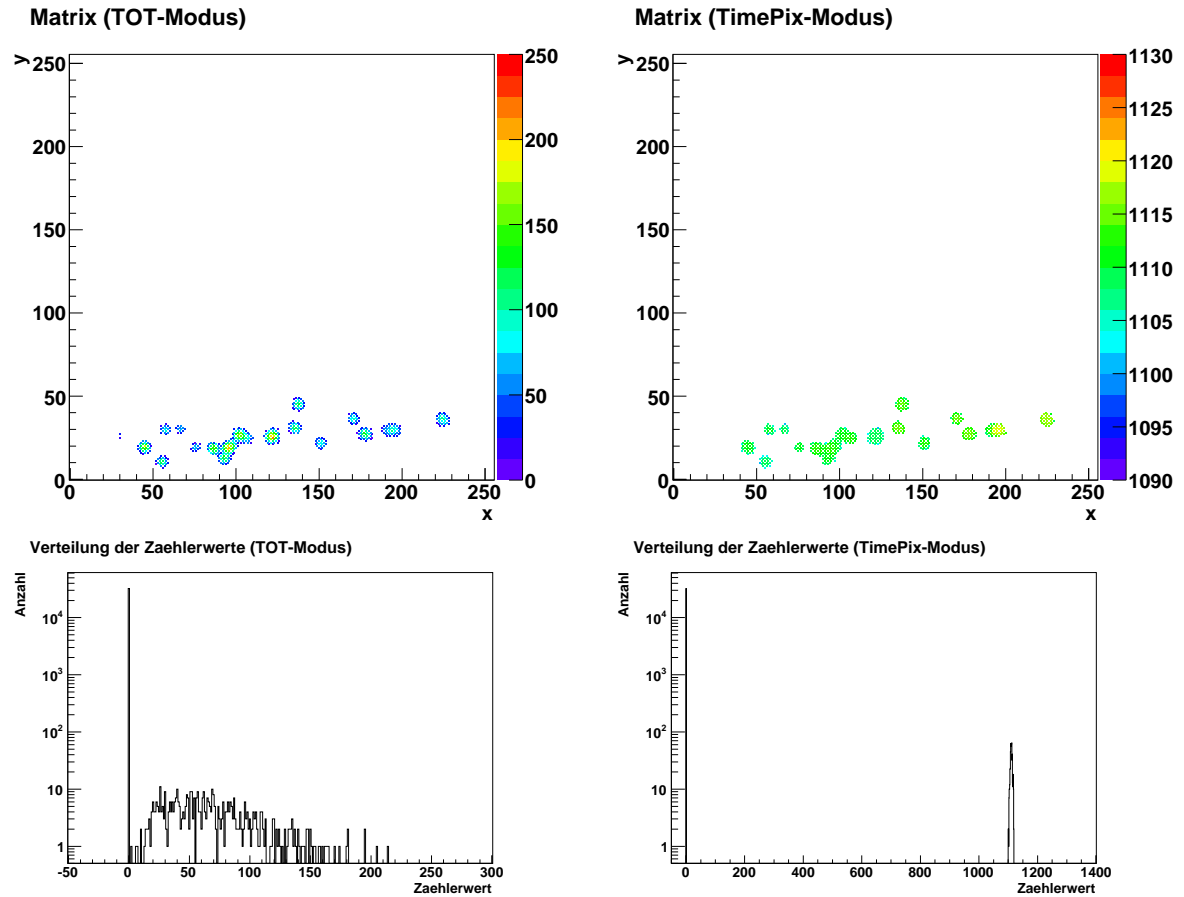
**Abbildung 6.4:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $T_{HL}$ ) von 348. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{Drift} \approx 2,79$  cm.



**Abbildung 6.5:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $T_{HL}$ ) von 348. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{Drift} \approx 2,14$  cm.

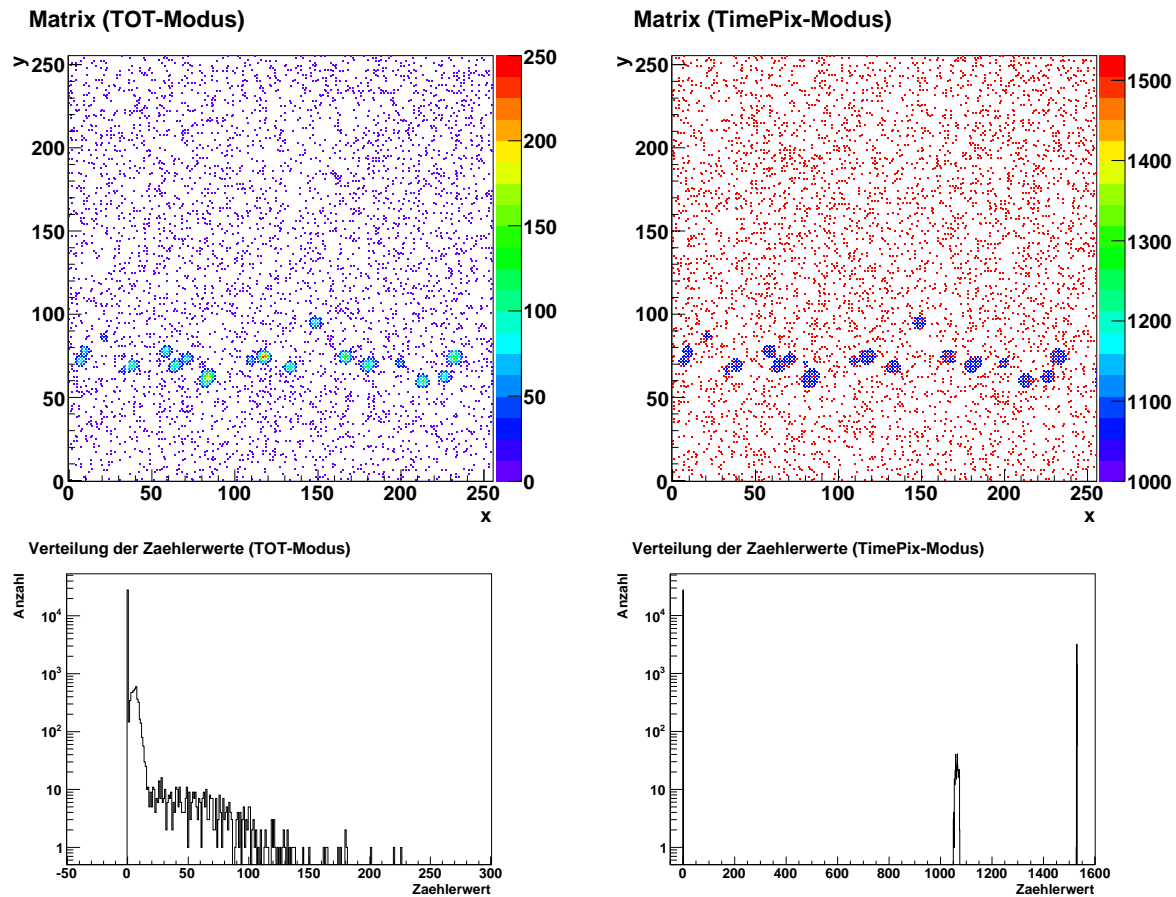


**Abbildung 6.6:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $T_{HL}$ ) von 348. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{Drift} \approx 4,40$  cm.

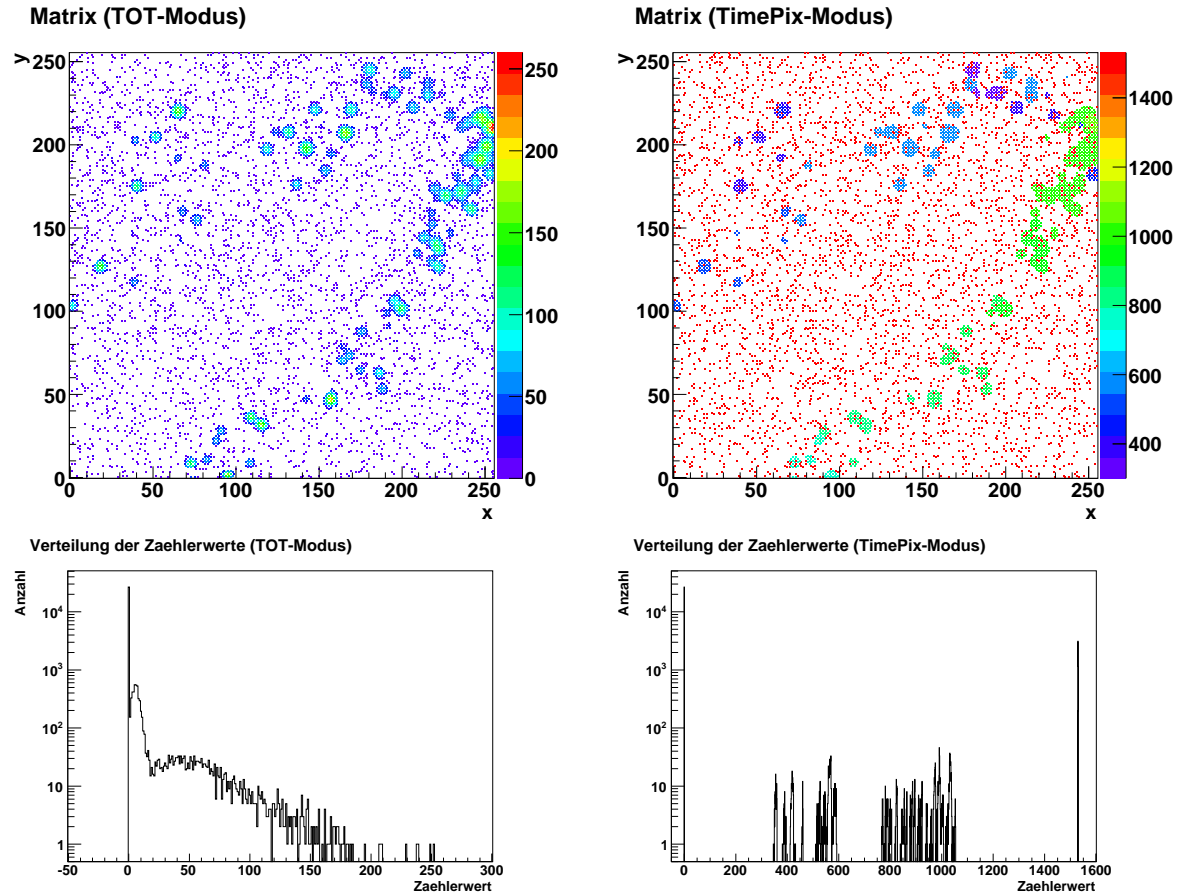


**Abbildung 6.7:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $\text{THL}$ ) von 348. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{\text{Drift}} \approx 8,91$  cm.

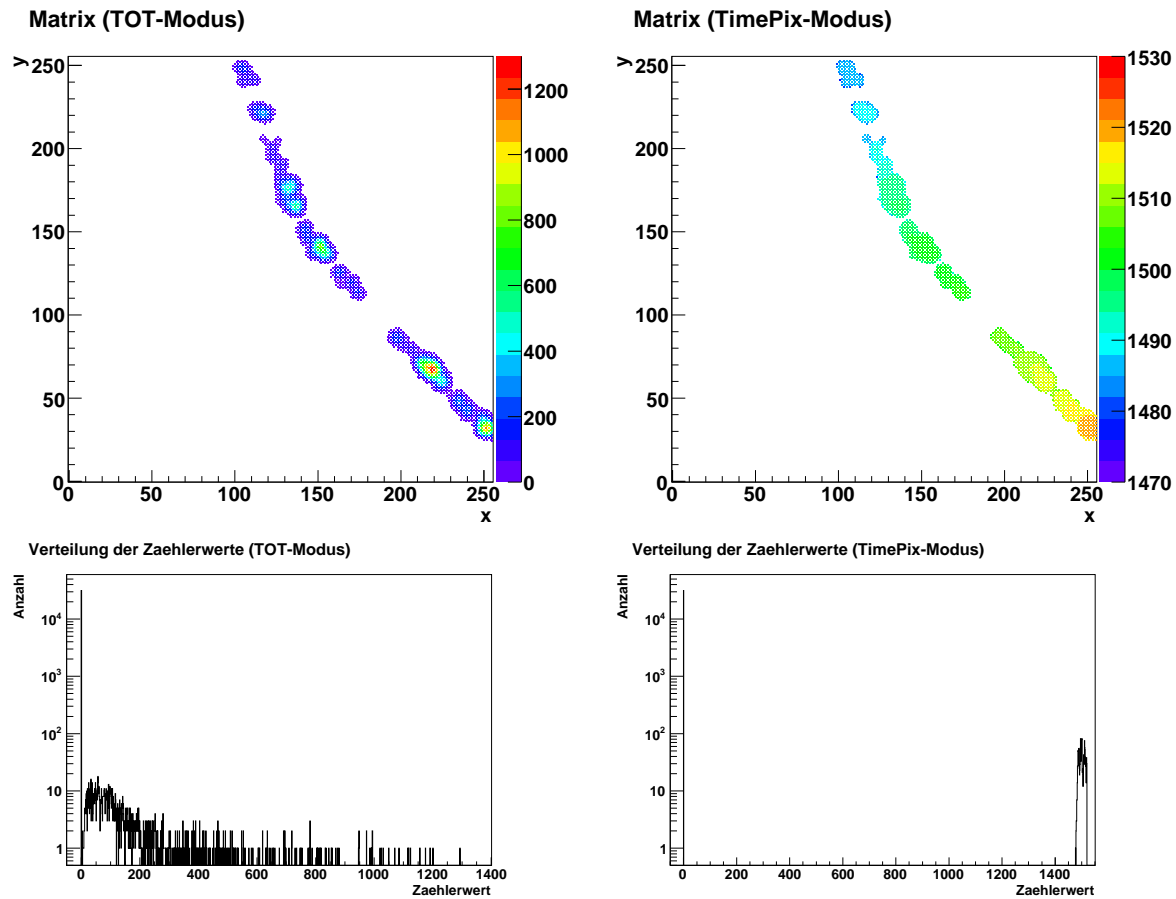




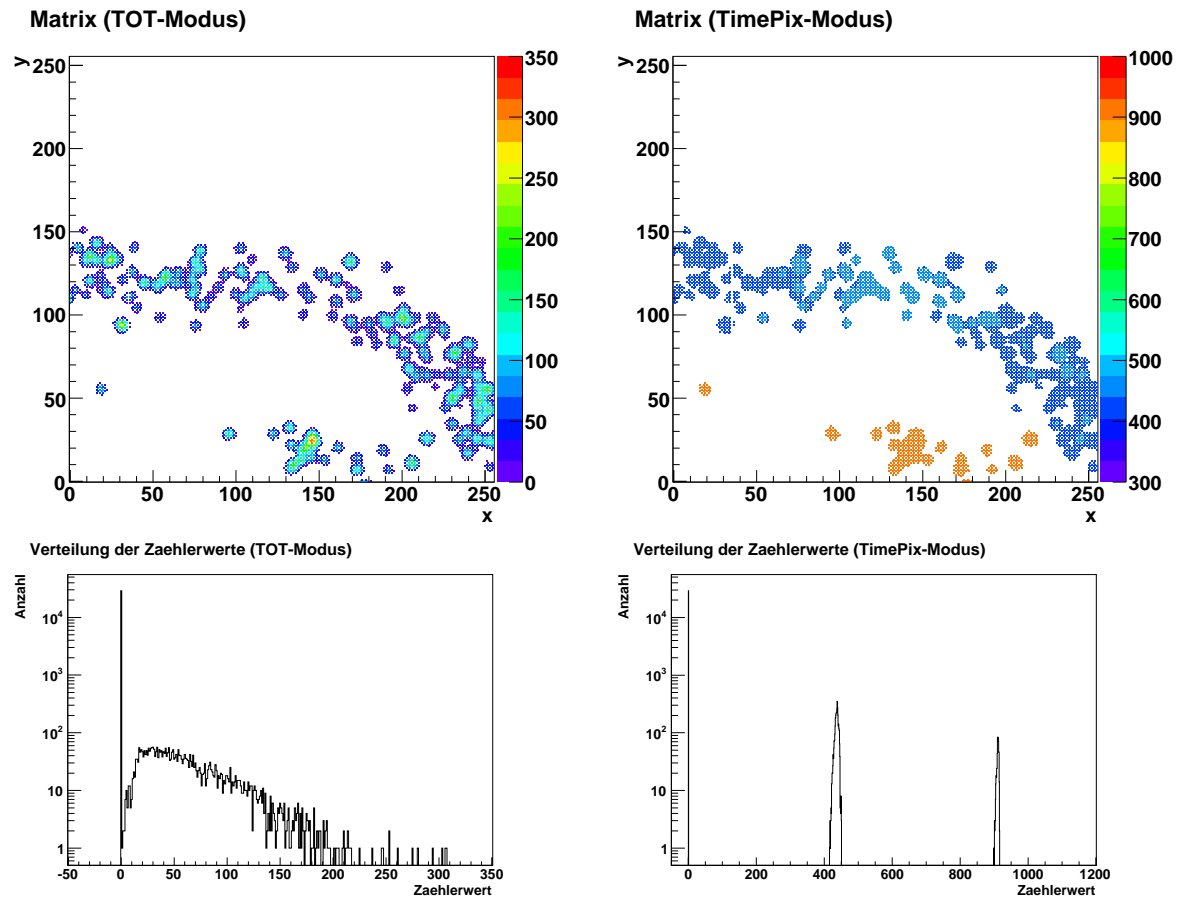
**Abbildung 6.8:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $T_{HL}$ ) von 330. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{Drift} \approx 9,23$  cm. Bei dieser Aufnahme erkennt man das deutliche Rauschen, welches sich in den zwei Spitzen beider Verteilungen widerspiegelt.



**Abbildung 6.9:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $THL$ ) von 330. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{\text{Drift}} \approx 11,38$  cm. Bei dieser Aufnahme erkennt man das deutliche Rauschen, welches sich in den zwei Spitzen beider Verteilungen widerspiegelt. Außerdem erkennt man eine zeitlich später auftretende zweite Spur.



**Abbildung 6.10:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $\tau_{HL}$ ) von 348. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{\text{Drift}} \approx 0,21$  cm.



**Abbildung 6.11:** Spur eines kosmischen Teilchens, aufgenommen bei einer Schwelle ( $T_{HL}$ ) von 348. Oben ist das Bild der Spur jeweils im TOT-Modus (links) bzw. Ankunftszeit-Modus (rechts) dargestellt. Unten werden die dazugehörigen Verteilungen der Zählstände gezeigt. Die Entfernung der Spur zur Ausleseebene betrug ungefähr  $s_{Drift} \approx 13,52$  cm. Innerhalb der Blendenöffnungszeit wurde ein Teil einer zweiten Spur aufgezeichnet.

Die meisten Ereignisse, welche aufgezeichnet wurden, waren Spuren von hochenergetischen Teilchen, da zur Erzeugung des Auslösersignals, die Teilchen 10 cm Blei durchdringen müssen, bevor der zweite Szintillator passiert wird. In den Abbildungen 6.3, 6.5, 6.6, 6.7 und 6.8 sind daher relative gerade Spuren zu erkennen. In Abbildung 6.4 ist ein leichter Knick erkennbar. Vermutlich handelt es sich um die Spur eines Teilchens aus dem niederenergetischen Teil des Spektrums, welches an einem Gasatom bzw. einem Gasmolekül streut.

In den Abbildungen 6.9 und 6.10 ist erkennbar, dass diese Spuren nicht oben (also nicht von links nach rechts in der Darstellung), sondern von der Seite kommen. Die Spuren können daher entweder von  $\delta$ -Elektronen, die von einem Myon oder Pion erzeugt wurden (Abschnitt 1.2.1), stammen oder sie wurden von Zerfallsprodukten aus einem radioaktiven Zerfall von z.B.  $^{14}\text{C}$  oder Radon in der Driftkammer erzeugt (Kaminski, 2009). Diese Zerfälle finden mit einer Rate von 1 Hz statt, so dass es zu einer zufälligen Koinzidenz mit dem Auslösersignal kommen kann. Deshalb werden bei einer späteren Analyse Spuren ab einem gewissen Winkel nicht ausgewertet. Die Spur in Abbildung 6.11 ist ebenfalls auf eine zufällige Koinzidenz zurückzuführen.

Eine weitere Auffälligkeit ist, dass es gelegentlich zu Überlagerung von zwei Spuren kommt (Abbildungen 6.9 und 6.11). Die Ursache dafür sind häufig zwei zeitlich hintereinander auftretende Ereignisse innerhalb der Blendenöffnungszeit. Die Ereignisse, welche zeitlich später auftraten, können an den Zählständen, die im Ankunftszeit-Modus aufgenommen wurden, erkannt werden. Die Kammer ist 26 cm lang, daher sollten keine Zählstände unter dem Wert von  $n = 319$  auftreten.

Eine andere Besonderheit ist die Größe der einzelnen Treffer innerhalb einer Spur. Theoretisch entspricht jeder punktförmige Treffer einem Primärelektron und sollte deshalb im Durchschnitt immer die gleiche Größe besitzen. Diese Größe ist allein auf die Diffusion zwischen den GEMs und zwischen GEM/TimePix-Chip zurückzuführen. Eine Fluktuation in der Größe kommt daher von einer Fluktuation in der Gasverstärkung. Allerdings wird ein driftstreckenabhängiger Effekt beobachtet (Zimmermann, 2008). Primärelektronen werden öfter in einem so genannten Primärbündel<sup>3</sup> erzeugt. Auf einer kurzen Driftstrecke und bei einer geringen Diffusion überlagern sich diese zwei bis drei Elektronen und können auf den Spurenbildern nicht mehr getrennt werden. Das ist ein statistischer Prozess und wird mit zunehmender Strecke unwahrscheinlicher. Dieser Effekt lässt sich gut in Abbildung 6.6 erkennen.

Da die Szintillatoren im Vergleich zum Chip groß sind, werden viele ausgelöste Ereignisse ohne Spuren vorhanden sein. Diese Spuren sind auf die komplette Kammer und in einem großen Winkelbereich verteilt. Um eine statistisch vernünftige Analyse durchführen zu können, wurden Messungen über Nacht genommen. Insgesamt liefen die Test über drei Tage.

### 6.2.3 Ermittlung der Ausleserate

Bei der Entwicklung des Auslesesystems stellt sich die Frage, wie groß die Abweichung der Ausleserate des Systems von der theoretisch maximal erreichbaren Ausleserate ist. Die theoretische Ausleserate wird im Idealfall nur durch den TimePix-Chip begrenzt.

Zur Bestimmung der maximalen Ausleserate wurde das Auslösersignal von einem Funktionsgenerator generiert. Dieser erzeugte ein Rechtecksignal mit einer eingestellten Frequenz von  $\nu = 1$  MHz. Dieses wurde als TTL-Signal direkt an den Steckadapter angeschlossen. Um den Test mit der TLU durchzuführen, wurde das hochfrequente Rechtecksignal in angepasster Form an den entsprechenden Eingang der TLU geleitet.

---

<sup>3</sup>engl. Cluster.

Die Tests wurden mit drei unterschiedlichen Betriebsfrequenzen des TimePix-Chips durchgeführt. In Tabelle 6.1 sind die ermittelten Raten für die drei Betriebsfrequenzen aufgelistet.

**Tabelle 6.1:** Vergleich der gemessenen maximalen Ausleseraten im Vergleich zu den theoretisch maximal erreichbaren Raten

Frequenz	Blendenzeit/ $\mu\text{s}$	Messung mit TTL Signal Ausleserate/Hz	Messung mit TLU Ausleserate/Hz	Theoretische Ausleserate/Hz
40 MHz	38,25	21,86	22,66	41
44,4 MHz	34,46	23,11	23,80	46
100 MHz	15,30	31,60	32,65	98

Die theoretisch maximal erreichbare Ausleserate kann grob aus der Blendenöffnungszeit, der Verzögerung durch die Ethernet-Kommunikation und der Zeit zum Auslesen der Matrix ermittelt werden. Die Blendenöffnungszeiten werden im Anwenderprogramm vorgegeben und sind in der Tabelle mit aufgeführt. Die Verzögerungen durch die Ethernet-Kommunikation wurden auf 1,2 ms geschätzt<sup>4</sup>. Den größten Einfluss auf die Ausleserate hat die Zeit, die man zum Auslesen der gesamten Matrix braucht. Der Inhalt der Matrix wird seriell innerhalb von 917 768 Takten ausgelesen, so dass je nach Betriebsfrequenz die Auslese zwischen 9 ms und 23 ms in Anspruch nimmt (Abschnitt 2.4.2). Die Ergebnisse der Tests zur Bestimmung der Ausleserate werden in Abschnitt 6.3 diskutiert.

### 6.3 Ergebnisse der Messungen

Die Ergebnisse der Messungen sollen in diesem Abschnitt kurz zusammengefasst werden. Es lässt sich feststellen, dass es mit dem System sofort und ohne Zwischenfälle möglich ist, Spuren in der TPC auszulesen. Auch während der Langzeitmessung über Nacht läuft das System autonom und stabil ohne jegliche Zwischenfälle oder Schwierigkeiten. Lediglich die Hochspannungsversorgung wurde automatisch ausgeschaltet, da es gelegentlich zu Überschlügen in der TPC kam. Dieses Problem ist aber vom Auslesesystem gänzlich unabhängig und hängt vorwiegend vom eingesetzten Gasgemisch ab. Mit dem hier verwendeten Gemisch tritt diese Abschaltung der Hochspannung durchschnittlich alle 24 Stunden auf.

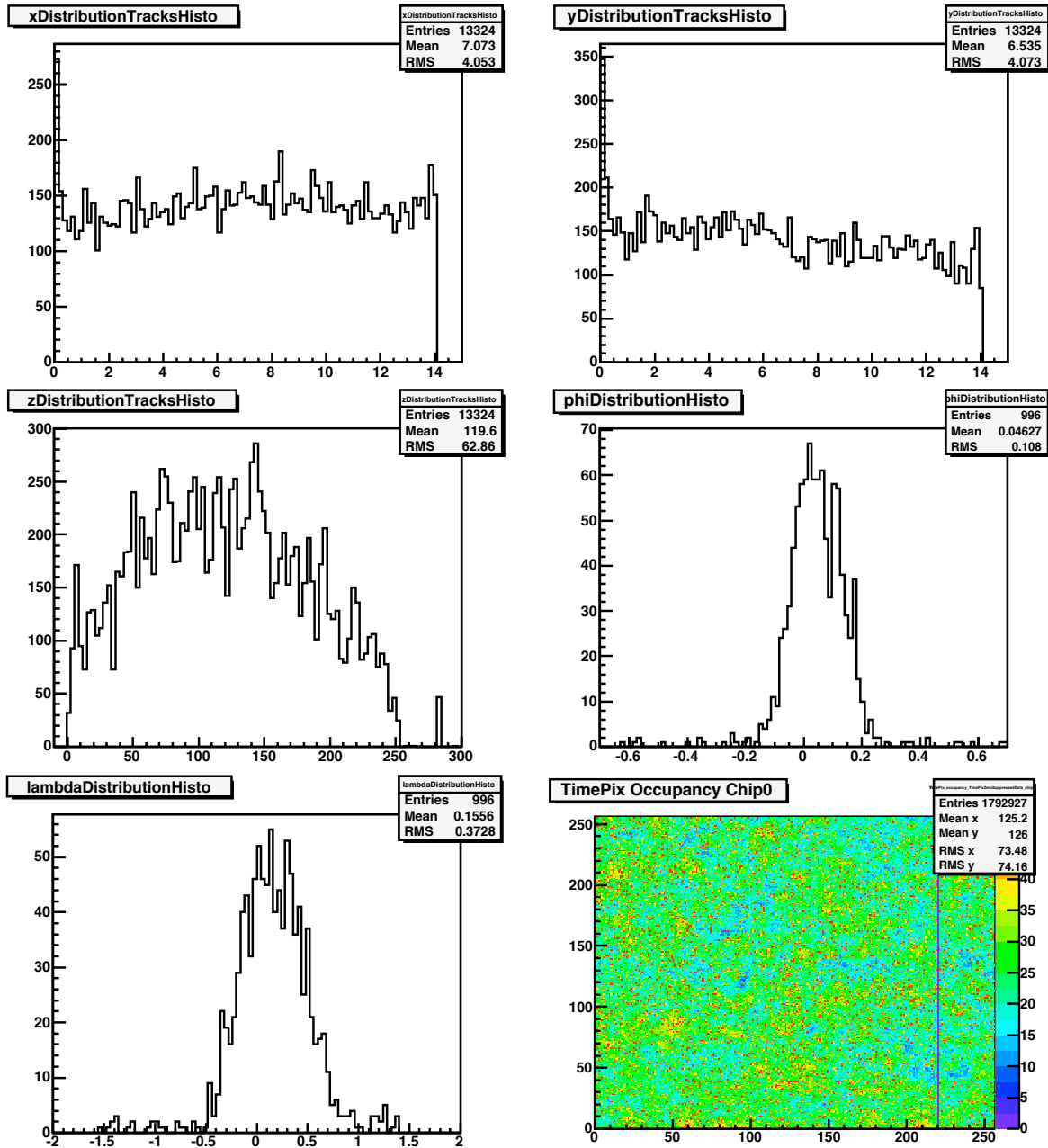
Da die Daten des Anwenderprogramms im gleichen Ausgabeformat wie bei Pixelman<sup>5</sup> gespeichert werden, konnte eine direkte Auswertung der über Nacht aufgenommenen Ereignisse durchgeführt werden. Dazu wurden aus den rund 15 000 aufgenommenen Ereignissen solche ohne Spuren herausgefiltert. Die eigentlich interessanten 4 000 Ereignisse wurden mit Hilfe des Programmpakets MarlinTpc<sup>6</sup> ausgewertet (Abernathy u. a., 2007; Killenberg u. Wienemann, 2009).

Die quadratische Matrix des Chips ist ungefähr 14 mm breit. Man erkennt in der Abbildung 6.12 eine entsprechend annähernd gleichmäßige Verteilung der Spuren in der  $x$  und  $y$  Richtung. Treffer,

<sup>4</sup>Der Wert ergibt sich aus einer sehr simplen Rechnung: Es werden ungefähr 113 Ethernet-Pakete mit einer Länge von 1088 Oktett bei einer Geschwindigkeit von  $1 \cdot 10^9$  bit/s versendet. Hinzu kommen 113 Antwortpakete mit einer Länge von 64 Oktett. Zusätzlich wird eine Unsicherheit von 15 % geschätzt.

<sup>5</sup>Pixelman ist das Ausleseprogramm für den MUROS2. Siehe Abschnitt 4.2.1.

<sup>6</sup>engl. Abkürzung für Modular Analysis and Reconstruction for the Linear Collider.



**Abbildung 6.12:** Auswertung der Messdaten. Dargestellt ist die Verteilung der detektierten Spuren in den drei räumlichen Koordinaten. Die Angaben sind in Millimetern. Ebenso ist die Verteilung der Winkel in der  $x$ - $y$ -Ebene ( $\phi$ ) und die in der  $y$ - $z$ -Ebene ( $\lambda$ ) dargestellt. Zusätzlich wird die Belegungshäufigkeit einzelner Matrixzellen auf dem Chip gezeigt (Kaminski, 2009).

die über den Rand hinausgehen, werden nur teilweise aufgezeichnet, jedoch trotzdem von dem Auswertungsalgorithmus rekonstruiert. Dieser Randeffect erklärt die hohen Werte für  $x = 0$  mm bzw.  $y = 0$  mm. Aufgrund eines Zuordnungsproblems müssen ebenso die letzten beiden Werte in der  $x$ - bzw.  $y$ -Richtung zusammengenommen werden, so dass die Höhe dann identisch mit dem Wert für  $x = 0$  mm bzw.  $y = 0$  mm wird (Kaminski, 2009).

Die  $z$ -Richtung entspricht der Driftstrecke. Die Daten sollten bei 260 mm enden, da die Kammer nur 26 cm lang war. Aufgrund von Zufallskoinzidenzen können jedoch bedingt durch die lange Blendenöffnungszeit Ereignisse aus einem späteren Zeitpunkt erfasst werden.

Die Belegungshäufigkeit einzelner Matrixzellen auf dem Chip zeigt zudem, welche Matrixzellen besonders aktiv bzw. inaktiv sind. Ganz deutlich ist die defekte 36. Spalte erkennbar, die vom Auswertungsalgorithmus gespiegelt wurde<sup>7</sup> und daher im Gegensatz zu vorher auf der rechten Seite im Bild erkennbar ist.

Die innerhalb der Spuren auftretenden punktförmigen Treffer in den Abbildungen 6.3 bis 6.11 entsprechen jeweils einem Primärelektron. In dieser Gasmischung werden ungefähr 15 Primärelektronen pro Zentimeter bei Durchgang eines hochenergetischen Teilchens erzeugt. Die Größe der Gasverstärkung ist nicht genau bekannt; es wird aber ein Verstärkungsfaktor von 100 000 geschätzt (Kaminski, 2009).

Trotz der statistisch geringen Anzahl an Daten stimmen die Ergebnisse mit den zuvor von Kaminski (2009) mit dem MUROS2 erhaltenen Resultaten sehr gut überein. Die Ergebnisse der Messungen sind durchweg positiv und können als Erfolg bei der ersten Entwicklungsstufe des Steuer- und Datenerfassungssystems angesehen werden.

Wie in Abschnitt 4.2.2 erläutert, ist die Totzeit des Detektors aufgrund der statischen Zeitfenster, die mit Pixelman eingestellt werden, sehr hoch. Dadurch ergaben sich während des Betriebs mit MUROS2 Ausleseraten um 1 Hz. Durch Modifikationen des Programms war es möglich, das Zeitfenster nach einem Ereignis vorzeitig zu schließen. Damit konnte die Ausleserate mit dem MUROS2 auf 3 Hz erhöht werden (Killenberg, 2009).

In Tabelle 6.1 sind die Ausleseraten des neuentwickelten Auslesesystems aufgelistet. Die Raten konnten in der ersten Entwicklungsstufe um eine Größenordnung gegenüber dem vorher eingesetzten System erhöht werden. Obwohl die hier erreichten Raten nur im Bereich zwischen 32 % und 55 % der maximalen theoretischen Raten liegen, ist dieses Ergebnis, das mit der ersten Entwicklung des Systems erreicht wurde, zufriedenstellend. Bei der Weiterentwicklung wird man jedoch die Raten optimieren müssen. Hier werden noch weitere Analysen notwendig sein, um die größten Verzögerungen im System zu erforschen. Auf jeden Fall wird eine Optimierung des Anwenderprogramms unter anderem durch eine Reduzierung des Festplattenzugriffs notwendig sein. Auf der anderen Seite wird die Möglichkeit der dynamischen Anpassung des Takts im FPGA genutzt werden müssen. Dadurch wird man die Lese- und Schreiboperationen der Matrix mit maximaler Taktfrequenz des TimePix-Chips durchführen können. Im Zählmodus-Betrieb wird dann die Option vorhanden sein, die Taktfrequenz zur Anpassung an die Driftzeiten in der TPC herunter zu skalieren.

---

<sup>7</sup>Während der Auswertung hat sich herausgestellt, dass das Anwenderprogramm die Daten der Matrixzellen so speichert wie sie ausgelesen werden, also von rechts nach links. Pixelman dagegen dreht die Anordnung der Daten und speichert diese von links nach rechts.



## 7 Zusammenfassung und Ausblick

Das Ziel dieser Arbeit war die Entwicklung eines Datenerfassungssystems, welches die Möglichkeit bietet, den TimePix-Chip zu steuern und seine Daten auszulesen. Der TimePix-Chip ist dabei eine der geplanten Ausleseeinheiten für die Zeitprojektionskammer in einem Detektor für den *International Linear Collider*.

Beim Aufbau des ILCs werden hohe Anforderungen an die Impuls-, Orts- und Energieauflösung der Detektoren gestellt. Ebenso muss die kontinuierliche Auslese der Teilchenpakete durch die Datenverarbeitung gewährleistet werden. Eine Aufgabe des ILCs wäre die Präzisionsmessung der Eigenschaften von am LHC neuentdeckten Teilchen, wie dem vermuteten Higgs-Boson, und bereits gefundenen Teilchen, wie dem Top-Quark.

Zur Spurmessung sind daher Zeitprojektionskammern ein probates Mittel. Für das Teilchenflusskonzept ist deren minimaler Materialaufwand von Vorteil. Dabei werden die durch Ionisation entstandenen Elektronen in der TPC durch eine GEM-Struktur verstärkt und ausgelesen. Bei dieser Auslese erfüllt der TimePix-Chip die Anforderungen an die Ortsauflösung, welche wesentlich für eine präzise Bestimmung des Impulses der durch das Magnetfeld gekrümmten Teilchenspuren ist.

Im Rahmen dieser Diplomarbeit konnte erfolgreich ein neuentwickeltes Datenerfassungs- und Steuerungssystem für den TimePix-Chip aufgebaut und zur Auslese einer Zeitprojektionskammer eingesetzt werden. Außerdem konnte erstmals gezeigt werden, dass eine FPGA-basierte Auslese und Steuerung des Chips über Ethernet möglich und nutzbar ist.

Es konnte bestätigt werden, dass das Datenerfassungssystem in der Lage ist, alle Funktionen für die Auslese des TimePix-Chips zu nutzen. Der TimePix-Chip konnte erfolgreich betrieben und seine Funktionalitäten getestet werden.

Es wurde ein System aufgebaut, das leicht bedienbar ist und an zukünftige Entwicklungen angepasst werden kann. Dies wurde durch eine konsequente Trennung der Funktionen und Aufgliederung in Komponenten erreicht. Die Einhaltung von Standards garantiert einen Einsatz des Systems auf vielen Plattformen.

Ebenso wurde der erfolgreiche Einsatz des Systems an einer Zeitprojektionskammer gezeigt. Das Auslesesystem erfüllte die gewünschten Anforderungen. Es konnten zwei verschiedene Auslöserkanäle verwendet werden. Insgesamt war es möglich, Spuren von kosmischen Teilchen aufzuzeichnen und auszuwerten. Auch konnte mit dem neuen System eine Erhöhung der Ausleserate um eine Größenordnung gegenüber den vorherigen Systemen erreicht werden.

Ein nächster Schritt in der Weiterentwicklung des Systems wird eine parallele Auslese mehrerer Chips und eine weitere Erhöhung der Ausleserate sein. Durch eine Neuentwicklung des Steckadapters und eine Anpassung des VHDL- und des Anwenderprogramms sollte eine gleichzeitige Auslese von 8 TimePix-Chips möglich sein. Zur Erhöhung der Ausleserate wird allerdings eine Optimierung des Anwenderprogramms notwendig. Neben einer Reduzierung des Festplattenzugriffs wird eine Reduzierung der Ethernetkommunikation und eine kurze Reaktionszeit des Anwenderprogramms implementiert werden müssen. Durch Auslese des TimePix-Chips mit seiner maximalen Betriebsfrequenz

lässt sich die Ausleserate zusätzlich steigern. Damit verbunden wäre die Implementierung einer dynamischen Steuerung der Taktfrequenz im FPGA, so dass der Betrieb des TimePix-Chips im Zählmodus gegebenenfalls mit einer geringeren Frequenz möglich wird. Ebenso wäre eine Weiterentwicklung des TimePix-Chips besonders zur Erhöhung der Auslesegeschwindigkeit notwendig. Bei der Entwicklung des Datenerfassungssystems wurden die notwendigen zukünftigen Erweiterungen berücksichtigt, so dass die genannten Systemmodifikationen leicht umgesetzt werden können.

Die Weiterentwicklung des Datenerfassungssystems wäre zudem mit einer Eigenentwicklung der Platine für den FPGA verbunden. Eine solche Entwicklung wäre besonders im Hinblick auf die mögliche Integration des Systems in ein generisches Auslesesystem, welches am CERN erarbeitet wird (Alfonsi u. a., 2008), notwendig.



**5. Oktett: gewünschte Operation** Der Wert in diesem Wort teilt dem FPGA mit, welche Operation in dem TimePix-Chip durchgeführt werden soll.

- Der hexadezimale Wert  $0_{16}$  setzt den TimePix-Chip in den Ausgangszustand. Dabei wird die Chip Identifikation in das FSR geladen und alle DACs auf den Mittelwert gelegt.
- Die hexadezimalen Werte  $0_{216}$  und  $0_{316}$  versetzen den TimePix-Chip in den Zählmodus. Mit dem Wert  $0_{216}$  wird zuerst ein Takt in den TimePix-Chip gesendet und nach einer kurzen Verzögerung wird das Blendensignal auf 0 gesetzt. Der Wert  $0_{316}$  beendet die Operation. Dabei wird das Blendensignal auf 1 gesetzt und anschließend der Takt ausgeschaltet. Auf den Befehl  $0_{216}$  muss entweder der Befehl  $0_{316}$  oder der Befehl  $0_{116}$  (Ausgangszustand) folgen. Vor dem Befehl  $0_{316}$  sollte grundsätzlich der Befehl  $0_{216}$  erfolgt sein. Damit ist der Betrieb des Zählmodus ohne Auslöser und ohne vorgegebene Blendenöffnungszeit möglich.
- Die hexadezimalen Werte  $0_{416}$ ,  $0_{516}$  und  $0_{616}$  dienen dazu, die Matrix des TimePix-Chips seriell auszulesen. Wegen der Länge des Inhalts der Matrix kann dieser nicht in einem Ethernetrahmen transportiert und muss daher fragmentiert werden. Der Befehl  $0_{416}$  startet den Auslesevorgang. Der Befehl  $0_{516}$  fordert die weiteren Fragmente des Matrixinhaltes an. Der Auslesevorgang muss mit dem Befehl  $0_{616}$  beendet werden.
- Die hexadezimalen Werte  $0_{a16}$ ,  $0_{b16}$  und  $0_{c16}$  dienen dazu die Matrix des TimePix-Chips zu setzen. Wegen der Länge des Inhalts der Matrix kann dieser nicht in einem Ethernetrahmen transportiert und muss daher fragmentiert werden. Der Befehl  $0_{a16}$  startet den Schreibvorgang und sendet das erste Fragment. Der Befehl  $0_{b16}$  sendet die folgenden Fragmente des Matrixinhaltes. Der Schreibvorgang wird mit dem Befehl  $0_{c16}$  beendet.
- Der hexadezimale Wert  $0_{d16}$  setzt die 13 Digital-Analog-Umsetzer des TimePix-Chips und das Spalten-Testpuls-Register. Die Daten dafür müssen sich in den Nutzdaten, die nach dem Kontrollfeld folgen, befinden. Gleichzeitig liest der FPGA bei dem Befehl die Chip Identifikationsnummer aus. Damit die Operation richtig ausgeführt wird, muss eine gewünschte Länge von mindestens 52 Oktett dem FPGA mitgeteilt worden sein.
- Der hexadezimale Wert  $0_{e16}$  hat dieselbe Funktion wie der Befehl  $0_{d16}$ . Dieser Befehl soll zukünftig dazu dienen, die Analog-Digital-Umsetzer auf dem Steckadapter auszulesen.
- Die hexadezimalen Werte  $1_{016}$  und  $1_{116}$  versetzen den gesamten TimePix-Chip in den Testbetriebszustand. Der Befehl  $1_{016}$  aktiviert den Testpulsbetrieb, der Befehl  $1_{116}$  beendet den Testpulsbetrieb.
- Der hexadezimale Wert  $1_{216}$  versetzt den TimePix-Chip in den Zählmodus. Der FPGA öffnet die Blende, sobald das Auslösesignal über den koaxialen Eingang auf dem Steckadapter vorhanden ist. Die Zeitdauer der geöffneten Blende muss über die Blendenöffnungszeit dem FPGA mitgeteilt werden. Die Operation kann vorzeitig mit dem Befehl  $0_{116}$  (Ausgangszustand) beendet werden.
- Der hexadezimale Wert  $1_{316}$  versetzt den TimePix-Chip in den Zählmodus. Mit dem Befehl wird zuerst ein Takt in den TimePix-Chip gesendet und nach einer kurzen Verzögerung wird das Blendensignal auf 0 gesetzt. Die Zeitdauer der geöffneten Blende muss über die Blendenöffnungszeit dem FPGA mitgeteilt werden. Damit ist der Betrieb des Zählmodus

---

ohne Auslöser aber mit vorgegebener Blendenöffnungszeit möglich. Die Operation kann vorzeitig mit dem Befehl  $0_{16}$  (Ausgangszustand) beendet werden.

- Der hexadezimale Wert  $14_{16}$  versetzt den TimePix-Chip in den Zählmodus. Der FPGA öffnet die Blende, sobald das Auslösesignal über den RJ-45 Eingang auf dem Steckadapter vorhanden ist. Die Zeitdauer der geöffneten Blende muss über die Blendenöffnungszeit dem FPGA mitgeteilt werden. Die Operation kann vorzeitig mit dem Befehl  $0_{16}$  (Ausgangszustand) beendet werden.

Alle weiteren möglichen Werte-Kombinationen, die nicht aufgeführt sind, versetzen den TimePix-Chip immer in den Ausgangszustand und stehen für weitere zukünftige Erweiterungen zur Verfügung!

**6. Oktett: Frequenz** Zukünftig soll dieses Oktett die Betriebs-Frequenz des FPGAs bzw. des TimePix-Chips angeben. Dadurch kann der FPGA dem Anwenderprogramm mitteilen, mit welcher Frequenz der TimePix-Chip betrieben wird. Umgekehrt kann das Anwenderprogramm dem FPGA mitteilen, mit welcher Frequenz der Chip betrieben werden soll.

**7. Oktett: Blendenöffnungszeit** Der Wert gibt an, wie lange die Blende des TimePix-Chips geöffnet werden soll. Dieser Wert hat nur Auswirkung auf den Zählmodus. Die Öffnungszeit berechnet sich wie folgt:  $t = 6 \cdot n/f$ . Dabei ist  $n$  der angegebene Wert,  $f$  die Frequenz und  $t$  die Öffnungszeit.

Ist der Wert zum Beispiel  $n = 100_{10} = 64_{16}$ ,  $f = 25$  MHz dann ist  $t = 24 \mu\text{s}$ .

**8. bis 14. Oktett** Diese Bereiche sind reserviert für zukünftige Funktionen.

**15. bis 17. Oktett: ADC** Der Wert dieses 24 bit langen Wortes trägt den Ausgabewert des Analog-Digital-Umsetzers auf dem Steckadapter.

**18. Oktett: Kontrollinformationen** Die jeweiligen Bits in diesem Oktett geben den aktuellen Wert der TimePix-Signale wieder. Es werden momentan die Signale `ENABLE_TPULSE` und das `ENABLE_OUT` Signal des TimePix-Chips ausgegeben. Das Signal `ENABLE_OUT` ist auf der Position  $2^7$  (das höchstwertige Bit) im Oktett gespeichert. Das Signal `ENABLE_TPULSE` ist auf der Position  $2^6$  im Oktett gespeichert.



## Literaturverzeichnis

- [4th 2009] *Letter of Intent from the Fourth Detector (“4th”) Collaboration at the International Linear Collider*. Version 1.2. März 2009
- [Abe u. a. 1995] ABE, F. ; AKIMOTO, H. ; AKOPIAN, A. ; ALBROW, M. G. ; AMENDOLIA, S. R. ; AMIDEI, D. ; ANTOS, J. ; ANWAY-WIESE, C. ; AOTA, S. ; APOLLINARI, G. ; ASAKAWA, T. ; ASHMANSKAS, W. ; ATAC, M. ; AUCHINCLOSS, P. ; AZFAR, F. ; AZZI-BACCHETTA, P. ; BACCHETTA, N. ; BADGETT, W. ; BAGDASAROV, S. ; BAILEY, M. W. ; BAO, J. ; BARBARO, P. de ; BARBARO-GALTIERI, A. ; BARNES, V. E. ; BARNETT, B. A. ; BARTALINI, P. ; BAUER, G.: Observation of Top Quark Production in  $\bar{p}p$  Collisions with the Collider Detector at Fermilab. In: *Physical Review Letters* 74 (1995), Apr, Nr. 14, S. 2626 – 2631
- [Abernathy u. a. 2007] ABERNATHY, Jason ; DEHMELT, Klaus ; DIENER, Ralf ; HUNT, Jim ; JANSSEN, Matthias E. ; KILLENBERG, Martin ; KRAUTSCHEID, Thorsten ; MUENNICH, Astrid ; UMMENHOFER, Martin ; VOGEL, Adrian ; WIENEMANN, Peter: MarlinTPC: A Marlin based common TPC software framework for the LC-TPC collaboration. In: *arXiv:0709.0790v1* (2007), 09
- [Alfonsi u. a. 2008] ALFONSI, Matteo (Hrsg.) ; BELLERIVE, Alain (Hrsg.) ; BRESKIN, Amos (Hrsg.) ; BIJ, Erik V. (Hrsg.) ; CAMPBELL, Michael (Hrsg.) ; CAPEANS, Mar (Hrsg.) ; COLAS, Paul (Hrsg.) ; TORRE, Silvia D. (Hrsg.) ; DESCH, Klaus (Hrsg.) ; GIOMATARIS, Ioannis (Hrsg.) ; GRAAF, Harry van d. (Hrsg.) ; LINSSEN, Lucie (Hrsg.) ; OLIVEIRA, Rui de (Hrsg.) ; PESKOV, Vladimir (Hrsg.) ; RIEGLER, Werner (Hrsg.) ; ROPELEWSKI, Leszek (Hrsg.) ; SAULI, Fabio (Hrsg.) ; SIMON, Frank (Hrsg.) ; TAUREG, Hans (Hrsg.) ; TITOV, Maxim (Hrsg.) ; WHITE, Andy (Hrsg.) ; VEENHOF, Rob (Hrsg.): *Development of Micro-Pattern Gas Detectors Technologies*. 2008
- [Bamberger u. a. 2007] BAMBERGER, A. ; DESCH, K. ; RENZ, U. ; TITOV, M. ; VLASOV, N. ; WIENEMANN, P. ; ZWERGER, A.: Resolution studies on 5 GeV electron tracks observed with triple-GEM and MediPix2/TimePix-readout. In: *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 581 (2007), Nr. 1-2, S. 274 – 278. – VCI 2007 – Proceedings of the 11<sup>th</sup> International Vienna Conference on Instrumentation
- [Beck 2008] BECK, Jeannine: *Gasverstärkungseigenschaften von GEM-Folien*, Martin-Luther-Universität Halle-Wittenberg, Diplomarbeit, Oktober 2008
- [Behnke u. a. 2007] BEHNKE, Ties ; DAMERELL, Chris ; JAROS, John ; MIYAMOTO, Akiya: Detectors. In: *Reference Design Report* Bd. 4, International Linear Collider, August 2007
- [Bello 2003] BELLO, David San S.: *MUROS2 User’s Manual*. Juli 2003. Amsterdam: Nationaal Instituut voor Kernfysica en Hoge Energie-Fysica, 2003
- [Brau u. a. 2007] BRAU, James ; OKADA, Yasuhiro ; WALKER, Nicholas: Executive Summary. In: *Reference Design Report* Bd. 1, International Linear Collider, August 2007

- [Brezina 2009] BREZINA, Christoph: *Private Mitteilung*. 2009
- [Conti u. a. 2003] CONTI, Maurizio ; MAIORINO, Marino ; METTIVIER, Giovanni ; MONTESI, Maria C. ; RUSSO, Paolo: Preliminary test of Medisoft 4: control software for the Medipix2 readout chip. In: *IEEE Transactions on Nuclear Science* 50 (2003), August, Nr. 4, S. 869 – 877
- [Cussans 2008] CUSSANS, David: *Description of the JRA1 Trigger Logic Unit (TLU)*. vo.2. Bristol: University of Bristol, Dezember 2008
- [Desch u. a. 2007] DESCH, K. (Hrsg.) ; WIENEMANN, P. (Hrsg.) ; KILLENBERG, M. (Hrsg.) ; CAMPBELL, M. (Hrsg.) ; HAUSCHILD, M. (Hrsg.) ; HEIJNE, E. (Hrsg.) ; LLOPART, X. (Hrsg.) ; ATTÍE, D. (Hrsg.) ; BURKE, D. (Hrsg.) ; COLAS, P. (Hrsg.) ; DELAGNES, E. (Hrsg.) ; GIGANON, A. (Hrsg.) ; GIOMATARIS, Y. (Hrsg.) ; RIALLOT, M. (Hrsg.) ; WAS, M. (Hrsg.) ; BAMBERGER, A. (Hrsg.) ; RENZ, U. (Hrsg.) ; TITOV, M. (Hrsg.) ; VLASOV, N. (Hrsg.) ; ZWERGER, A. (Hrsg.) ; CHEFDEVILLE, M. (Hrsg.) ; FRANSEN, M. (Hrsg.) ; GRAAF, H. van d. (Hrsg.) ; TIMMERMANS, J. (Hrsg.) ; VERKOOIJEN, J. (Hrsg.) ; VISSCHERS, J.L. (Hrsg.): *Progress on Pixel Readout of a TPC*. Hamburg : EUDET, Mai 2007
- [Djouadi u. a. 2007] DJOUADI, Abdelhak ; LYKKEN, Joseph ; MÖNIG, Klaus ; OKADA, Yasuhiro ; OREGLIA, Mark ; YAMASHITA, Satoru: Physics at the ILC. In: *Reference Design Report Bd. 2*, International Linear Collider, August 2007
- [Ethernet 2008] NORM IEEE 802.3 2008. *IEEE Standard for Information technology-Specific requirements - Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method and Physical Layer Specifications*
- [Fpga4fun 2009] FPGA4FUN (Hrsg.): *FPGA Introduction*. Version: 2009. <http://www.fpga4fun.com>, Abruf: 2009-08-01
- [Haratsch u. Azadet 2001] HARATSCH, Erich F. ; AZADET, Kamran: A 1-Gb/s joint equalizer and trellis decoder for 1000Base-T Gigabit Ethernet. In: *IEEE Journal of Solid-State Circuits* 36 (2001), März, Nr. 3, S. 374 – 384
- [Holisch 2003] HOLISCH, Markus: *VHDL Grundlagen*. 2003
- [Holý u. Vykydal 2008] HOLÝ, Tomáš ; VYKYDAL, Zdeněk: *Pixelman*. Version: 10. 2008. <http://aladdin.utef.cvut.cz/ofat/others/Pixelman/Pixelman.html>, Abruf: 2009-08-17
- [Huq u. Goldie 1998] HUQ, Syed B. ; GOLDIE, John: *An Overview of LVDS Technology*. AN 971. Santa Clara: National Semiconductor Corporation, Juli 1998
- [Ild 2009] *The International Large Detector – Letter of Intent*. März 2009
- [Jakubek u. a. 2008] JAKUBEK, Jan ; CEJNAROVA, Andrea ; HOLY, Tomas ; POSPISIL, Stanislav ; UHER, Josef ; VYKYDAL, Zdenek: Pixel detectors for imaging with heavy charged particles. In: *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 591 (2008), Nr. 1, S. 155 – 158. – Radiation Imaging Detectors 2007 – Proceedings of the 9<sup>th</sup> International Workshop on Radiation Imaging Detectors



- [Janssen 2004] JANSSEN, Matthias E.: *Auflösungsstudien an einer Zeit-Projektions-Kammer (TPC) mit GEM Gasverstärkungssystem*, Universität Dortmund, Diplomarbeit, September 2004
- [Kaminski 2009] KAMINSKI, Jochen: *Private Mitteilung*. 2009
- [Killenberg 2009] KILLENBERG, Martin: *Private Mitteilung*. 2009
- [Killenberg u. Wienemann 2009] KILLENBERG, Martin ; WIENEMANN, Peter: *MarlinTPC*. Version: 08. 2009. [http://ilcsoft.desy.de/portal/software\\_packages/marlintpc](http://ilcsoft.desy.de/portal/software_packages/marlintpc), Abruf: 2009-08-09
- [Kleinknecht 2005] KLEINKNECHT, Konrad: *Detektoren für Teilchenstrahlung*. Vieweg+Teubner, 2005
- [Korn 2007] KORN, Alexander: *Spektrale und bildgebende Eigenschaften photonenzählender Röntgen-detektoren am Beispiel des Medipix-Detektors*, Friedrich-Alexander-Universität Erlangen-Nürnberg, Diss., 2007
- [Krautscheid 2008] KRAUTSCHEID, Thorsten: *Simulationen zur Ionenrückdrift in einer Zeit-Projektions-kammer am ILC*, Rheinische Friedrich-Wilhelms-Universität Bonn, Diplomarbeit, August 2008
- [Krummenacher 1991] KRUMMENACHER, F.: Pixel detectors with local intelligence: an IC designer point of view. In: *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 305 (1991), Nr. 3, S. 527 – 532
- [Lamping u. a. 2008] LAMPING, Ulf ; SHARPE, Richard ; WARNICKE, Ed: *Wireshark User's Guide*. 29410 for Wireshark 1.2.0. 2008
- [LHC The guide 2008] COMMUNICATION GROUP CERN (Hrsg.): *CERN-Brochure-2008-001-Eng*. Januar 2008
- [Linearcollider 2009] LINEARCOLLIDER (Hrsg.): *International Linear Collider Homepage*. Version: 2009. <http://www.linearcollider.org/cms/>, Abruf: 07.08.2009
- [Linzmaier 2008] LINZMAIER, Diana: *Aufbau eines Monitorsystems für gasbasierte Detektoren und Messung der Elektronenanlagerung im Kammergas*, Martin-Luther-Universität Halle-Wittenberg, Diplomarbeit, Oktober 2008
- [Llopert u. a. 2007] LLOPART, X. ; BALLABRIGA, R. ; CAMPBELL, M. ; TLUSTOS, L. ; WONG, W.: Timepix, a 65k programmable pixel readout chip for arrival time, energy and/or photon counting measurements. In: *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 581 (2007), Nr. 1-2, S. 485 – 494. – VCI 2007 – Proceedings of the 11<sup>th</sup> International Vienna Conference on Instrumentation
- [Llopert 2006] LLOPART, Xavier: *Timepix Manual*. v1.0. Genf: Conseil Européen pour la Recherche Nucléaire, August 2006
- [Llopert u. a. 2002] LLOPART, Xavier ; CAMPBELL, M. ; DINAPOLI, R. ; SEGUNDO, D. S. ; PERNIGOTTI, E.: Medipix2: A 64-k pixel readout chip with 55- $\mu\text{m}$  square elements working in single photon counting mode. In: *IEEE Transactions on Nuclear Science* 49 (2002), Oktober, S. 2279 – 2283

- [Naroska u. a. 2007] NAROSKA, Edwin ; OFENBACH, Elmar ; REINECKE, Dirk ; KEMPER, Jürgen: *Einführung in VHDL*. 2007
- [Nat 2008] NATIONAL SEMICONDUCTOR CORPORATION (Hrsg.): *LVDS Owner's Manual*. 4. Santa Clara: National Semiconductor Corporation, Januar 2008
- [Osi 1994] Norm ISO/IEC 7498-1 1994. *Information technology – Open Systems Interconnection – Basic Reference Model: The Basic Model*
- [Perry 2002] PERRY, Douglas L.: *VHDL: Programming by Example*. 4. Mcgraw-Hill Professional, 2002
- [Phinneya u. a. 2007] PHINNEYA, Nan ; TOGE, Nobukazu ; WALKER, Nicholas: Accelerator. In: *Reference Design Report Bd. 3*, International Linear Collider, August 2007
- [Plummer 1982] Norm RFC826 November 1982. *An Ethernet Address Resolution Protocol*
- [Postel 1980] Norm RFC768 August 1980. *User Datagram Protocol*
- [Postel 1981] Norm RFC791 September 1981. *Internet Protocol*
- [Ramakrishnan u. a. 2001] Norm RFC3168 September 2001. *The Addition of Explicit Congestion Notification (ECN) to IP*
- [Ritter u. Molitor 2004] RITTER, Jörg ; MOLITOR, Paul: *VHDL – Eine Einführung*. Pearson Studium, 2004
- [Ropelewski 2009] ROPELEWSKI, Leszek (Hrsg.): *Gas Detectors Development Group*. Version: 2009. <http://gdd.web.cern.ch/GDD/>, Abruf: 2009-08-03
- [Schwarz 2009] SCHWARZ, Andreas (Hrsg.): *Grundlagen zu FPGAs, CPLDs und Co*. Version: 2009. <http://www.mikrocontroller.net/>, Abruf: 2009-08-01
- [Schäfer 2005] SCHÄFER, Oliver: *Ein Monitorsystem für Gasbasierte Detektoren am International Linear Collider (ILC)*, Universität Rostock, Diplomarbeit, 2005
- [Sid 2009] AIHARA, H. (Hrsg.) ; BURROWS, P. (Hrsg.) ; M.OREGLIA (Hrsg.): *SiD Letter of Intent*. März 2009
- [Stöver 2007] STÖVER, Felix W.: *Driftgeschwindigkeitsstudien an einer Zeit-Projektions-Kammer (TPC) bei unterschiedlichen Wassergehalten des Kammerngases*, Universität Hamburg, Diplomarbeit, März 2007
- [Ummenhofer 2008] UMMENHOFER, Martin: *Inbetriebnahme einer Zeitprojektionskammer mit Pixel-Auslese*, Rheinische Friedrich-Wilhelms-Universität Bonn, Diplomarbeit, Juli 2008
- [Vykydal 2005] VYKYDAL, Zdeněk: *Microprocessor controlled USB interface for Medipix2 detector*, České vysoké učení technické v Praze, Diplomarbeit, Mai 2005
- [Xil 2005] XILINX, INC. (Hrsg.): *LocalLink Interface Specification*. SP006 (v2.0). San Jose: Xilinx, Inc., Juli 2005

- [Xil 2008a] XILINX, INC. (Hrsg.): *ML505/ML506/ML507 Evaluation Platform User Guide*. UG347 (v3.1). San Jose: Xilinx, Inc., November 2008
- [Xil 2008b] XILINX, INC. (Hrsg.): *Schematics – ML505/6/7 Virtex-5 Evaluation Platform*. A. San Jose: Xilinx, Inc., Januar 2008
- [Xil 2008c] XILINX, INC. (Hrsg.): *Virtex-5 Libraries Guide for HDL Designs*. 10.1. San Jose: Xilinx, Inc., 2008
- [Xil 2008d] XILINX, INC. (Hrsg.): *Xilinx ISE 10.1 Design Suite Software Manuals and Help – PDF Collection*. 10.1. San Jose: Xilinx, Inc., März 2008
- [Xil 2009a] XILINX, INC. (Hrsg.): *Virtex-5 Configuration User Guide*. UG191 (v3.7)UG191 (v3.7). San Jose: Xilinx, Inc., Juni 2009
- [Xil 2009b] XILINX, INC. (Hrsg.): *Virtex-5 Data Sheet: DC and Switching Characteristics*. DS202 (v5.2). San Jose: Xilinx, Inc., Juni 2009
- [Xil 2009c] XILINX, INC. (Hrsg.): *Virtex-5 Family Overview*. DS100 (v5.0). San Jose: Xilinx, Inc., Februar 2009
- [Xil 2009d] XILINX, INC. (Hrsg.): *Virtex-5 Tri-Mode Ethernet Media Access Controller User Guide*. UG194 (v1.8). San Jose: Xilinx, Inc., April 2009
- [Xil 2009e] XILINX, INC. (Hrsg.): *Virtex-5 User Guide*. UG190 (v5.0). San Jose: Xilinx, Inc., Juni 2009
- [Zimmermann 1980] ZIMMERMANN, Hubert: OSI Reference Model – The ISO Model of Architecture for Open Systems Interconnection. In: *IEEE Transactions on Communications* 28 (1980), April, Nr. 4, S. 425 – 432
- [Zimmermann 2008] ZIMMERMANN, Simone: *Data Reconstruction and Analysis of GEM-Based Time Projection Chambers with Pixel Readout*, Rheinische Friedrich-Wilhelms-Universität Bonn, Diplomarbeit, September 2008